

用于加法器的功耗延迟积优化混合进位算法

张爱华

(临沂职业学院, 山东 临沂 276013)

摘 要: 为了实现高性能的加法器,提出了面向功耗延迟积(PDP)优化的混合进位算法。该算法能快速搜索加法器的混合进位,以优化 PDP。采用超前进位算法和行波进位算法交替混合,兼具超前进位算法速度快和行波进位算法功耗低的特点。该算法采用 C 语言实现并编译,结果应用于 MCNC Benchmark 电路,进行判定测试。与应用三种传统算法的加法器相比,应用该算法的加法器在位数为 8 位、16 位、32 位和 64 位时,PDP 改进量分别为 40.0%、70.6%、85.6%和 92.9%。

关键词: 加法器; 算法; 功耗延迟积

中图分类号: TN402; TP332

文献标识码: A

文章编号: 1004-3365(2018)06-0802-04

DOI: 10.13911/j.cnki.1004-3365.180028

A Hybrid Carry Algorithm for Power Delay Product Optimization Applied in Adders

ZHANG Aihua

(Linyi Vocational College, Linyi, Shandong 276013, P. R. China)

Abstract: In order to design a high performance adder, a hybrid algorithm based on mixed-carry adder for power delay product optimization was proposed. The algorithm could search rapidly the mixed-carry of adders to optimize the power delay product. The advantages of carry look ahead adder algorithm and ripple carry adder algorithm were applied alternately to the new adder by combining CLA algorithm with RCA algorithm. The proposed algorithm was implemented and compiled in C language, and the results were applied to MCNC Benchmark circuit for decision testing. Compared with three traditional adder algorithms, the proposed algorithm had an increment of power delay product (PDP) of 40.0%, 70.6%, 85.6% and 92.9% respectively when the adder was 8 bit, 16 bit, 32 bit and 64 bit.

Key words: adder; algorithm; power delay product

0 引 言

加法运算是微处理器中数字运算的基本运算方法,提高加法器的性能对处理器的性能改善至关重要。随着处理器运算速度的大幅提升,对加法器的运算速度的要求越来越高。然而,速度的提高往往伴随功耗的急剧上升,因此,需要将功耗和速度进行

折中,即采用 PDP 来综合评价电路。

加法器设计的关键是进位链。进位链采用进位算法实现。传统加法器结构不同,功耗和延迟时间各有不同。行波进位加法器(RCA)的功耗较小,但随着计算位数增加,时间延迟会线性增加^[1];超前进位加法器(CLA)减少了进位等待延迟,但功耗较大,随着位数的增加,硬件资源增加,较难实现多位加法器^[2];进位跳跃加法器(CSK)的进位算法综合

收稿日期:2018-01-17;定稿日期:2018-03-01

基金项目:国家星火计划项目(2015GA701053)

作者简介:张爱华(1976—),女(汉族),山东济宁人,硕士,讲师,从事电子电路教学和研究工作。

了 RCA 和 CLA 的优点,速度和功耗均介于 RCA 和 CLA 之间^[3]。目前,业界正着力研究如何降低功耗和延迟时间。对于给定位数的加法器,采用哪种进位混合算法和如何分组是急需解决的问题。

1 理论背景

为快速估算功耗和延迟时间,本文采用概率估算法来计算动态功耗^[4]。在多位加法器中,估算延迟时间的关键在于估算进位链的延迟时间,本文采用了 Logical Effort 原理提供的延迟时间模型对电路的延迟时间进行估算^[5]。

1.1 功耗估算

在数字系统中,动态功耗主要是由开关活动造成的。根据信号置 1 概率、信号开关活动率和置 1 概率的传输特性可估算动态功耗^[4]。

具体步骤如下:1) 由信号置 1 概率计算各输入信号的概率;2) 由置 1 概率的传输特性计算各节点信号的置 1 概率;3) 将各节点信号的置 1 概率用于开关活动率表达式中,计算各节点的开关活动率。

1.2 延迟时间估算

根据 Logical Effort 原理,总延迟为^[5]:

$$T_{\text{Delay}} = \left(\frac{C_L}{C_R} \times \frac{C_{\text{out}}}{C_{\text{in}}} + p \right) \times \tau \quad (1)$$

式中, C_L 、 C_R 分别为逻辑门和反相器的输入电容, p 、 τ 是工艺参数。在 $0.25 \mu\text{m}$ CMOS 工艺下, τ 约为 20 ps 。设门的 PMOS 管宽度 $W_p = a$, NMOS 管宽度 $W_n = b$, 则门的输入电容 C_{in} 等于 $a + b$ 。基本门的 p 参数如表 1 如示。表 1 中, $p_{\text{inv}} \approx 1$, “-” 表示不存在。

表 1 基本门的 p 参数

类型	门输入个数				
	1	2	3	4	n
非门	p_{inv}	-	-	-	-
与非门	-	$2p_{\text{inv}}$	$3p_{\text{inv}}$	$4p_{\text{inv}}$	np_{inv}
或非门	-	$3p_{\text{inv}}$	$4.5p_{\text{inv}}$	$6p_{\text{inv}}$	$1.5np_{\text{inv}}$

2 算法实现

加法器的和(sum)电路、进位产生电路和进位传播电路均是相同的结构,唯一的区别是进位网络

不同,因此本文只对进位网络进行估算。混合进位算法的组合框图如图 1 所示。

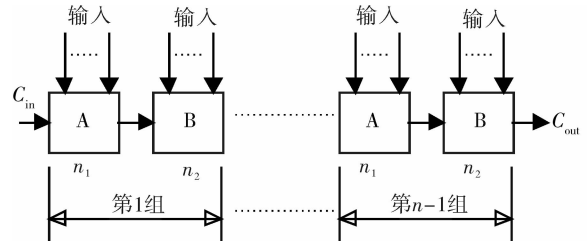


图 1 混合进位算法的组合框图

图 1 中, A 表示行波进位,或超前进位,或跳跃进位; B 表示行波进位,或超前进位,或跳跃进位。进位算法 A 和进位算法 B 混合,可得到跳跃进位与行波进位混合的加法器(SRMA)、超前进位与跳跃进位混合的加法器(LSMA)和超前进位与行波进位混合的加法器(LRMA)。

2^n 位混合加法器的组合情况说明如下。设总共有 2^i 组, 每组中有 n_1 位进位算法 A 和 n_2 位进位算法 B, 进行混合, 表达式为:

$$2^n = 2^i \times k = 2^i \times (n_1 + n_2) \quad (2)$$

式中, $i = 0, 1, 2, \dots, n-2$ ($n \geq 2$), $k = n_1 + n_2$ 。因为超前进位和跳跃进位只有操作位数大于 1 才有意义, 所以 k 须大于 2。该加法器的分组情况为: 1) $i=0$, 即分 1 组时, $k = n_1 + n_2 = 2^n$; 2) $i=1$, 即分 2 组时, $k = n_1 + n_2 = 2^{n-1}$; 3) $i=2$, 即分 3 组时, $k = n_1 + n_2 = 2^{n-2}$; $\dots$; $(n-1)i = n-2$, 即分 $n-1$ 组时, $k = n_1 + n_2 = 2^n / 2^{n-2} = 4$ 。

根据功耗和延迟时间估算的思路, 相应算法包括以下四个步骤。

第 1 步: 对于 2^n 位的混合加法器, 根据信号概率的定义^[6], 计算各组模块 A 和模块 B 中各输入信号概率和内部节点的信号概率。

第 2 步: 已知 2^n 位混合加法器有 i 种组合, 进行完全搜索。1) 首先, 取 $i=0, k=2^n$ 。分步①: 取 $n_1 = 2, n_2 = 2^n - 2$, 计算开关活动率, 记为 $r_{\text{sw min}}$; 分步②: 取 $n_1 = 3, n_2 = 2^n - 3$, 计算开关活动率, 记为 $r_{\text{sw 1}}$ 。若 $r_{\text{sw 1}} \leq r_{\text{sw min}}$, 则 $r_{\text{sw min}} = r_{\text{sw 1}}$; 否则继续; 直到 $n_1 = k-1$ 。2) 接着, 取 $i=1, 2, \dots, n-2$ ($n > 2$), 对应的 $k = 2^{n-1}, 2^{n-2}, \dots, 4$ 时, 重复 1) 中的分步①和分步②, 直到搜索到最小的开关活动率 $r_{\text{sw min}}$, 输出对应的 i, n_1 和 n_2 的值。

第 3 步: 根据延迟估算算法^[7], 分别估算逻辑模

块 A 和逻辑模块 B 进位网络的延迟时间, 分记为 d_1 和 d_2 。根据第 2 步中最小开关活动率对应的分组数 i , 得到总延迟 $d = i \times (d_1 + d_2)$ 。

第 4 步: 计算优化的 PDP, $M_{\text{PDP}} = r_{\text{swmin}} \times d$ 。

以 16 位 LRMA 为例, 演示上述算法的应用。该加法器的分组为: 1) $i=0$, 即分 1 组时, $k=16$; 2) $i=1$, 即分 2 组时, $k=8$; 3) $i=2$, 即分 3 组时, $k=4$ 。根据提出的算法, 搜索出每组中 PDP 最佳的组合, 数据如表 2 所示。

表 2 16 位 LRMA 分为 3 组时的数据

(i, k)	$i(n_1, n_2)$	开关活动 率/ s^{-1}	延迟时 间/ns	PDP/ pJ
0, 16	2, 14	14.36	1.87	26.81
1, 8	2, 6	15.04	1.73	26.07
2, 4	3, 1	23.56	1.00	23.56

从表 2 可知, 当 16 位 LRMA 分为 3 组, 且每组中超前进位为 3 位, 行波进位为 1 位时, PDP 最低。

3 计算结果与分析

本文算法用 C 语言编程实现, 编译后, 结果应用于 MCNC Benchmark 上电路的判定测试。对 RCA、CLA 和 CSK 进行测试, 采用本文提出的算法搜索出三种混合加法器的最佳组合结果及对应的数据。

3.1 传统加法器的性能参数

对 RCA、CLA 和 CSK 分别在 8 位、16 位和 32 位时的功耗、延迟时间和 PDP 进行测试。传统加法器的性能测试数据如表 3 所示。

表 3 传统加法器的参数测试数据

电路 类型	位数/ bit	功耗/ μW	延迟时 间/ns	PDP/ pJ
RCA	8	5.95	0.93	5.53
	16	13.18	2.00	27.56
	32	29.46	4.13	121.67
CLA	8	33.09	0.23	7.61
	16	216.54	0.37	80.12
	32	1 158.82	0.63	730.06
CSK	8	6.11	0.82	5.01
	16	15.93	1.66	26.44
	32	35.77	3.33	119.11

由表 3 可知, 无论加法器在 8 位、16 位还是 32 位, RCA 的功耗是最小的, CSK 次之, CLA 最大。但是, CLA 在延迟时间方面有很大优势, 原因是 CLA 中各个进位几乎是并行产生的, 运算速度最快。RCA 中进位链是串联的, 信号传播路径过长, 延迟时间长。综合来看, CSK 的 PDP 最小。这三种加法器的性能与文献[8]一致, 说明了本文面向 PDP 优化的加法器综合算法是有效的。

3.2 基于本文算法的加法器性能参数

针对 SRMA、LSMA 和 LRMA, 采用本文算法进行了搜索, 得出了这三种混合加法器最佳的位数组组合。三种混合加法器 8 位、16 位、32 位、64 位的测试结果如表 4 所示。表中, “—”表示参照对象。可以看出, LRMA 的 PDP 最好。原因是该混合算法结合了超前进位算法速度快和行波进位算法功耗低的优势。

不同位的新加法器相比传统加法器的 PDP 改进量如表 5 所示。表中, “—”表示参照对象。

表 4 和表 5 中, PDP 改进量为^[9]:

$$m_{\text{PDP}} = ((M_{\text{PDP-O}} - M_{\text{PDP-N}}) / M_{\text{PDP-O}}) \times 100\% \quad (3)$$

式中, $M_{\text{PDP-O}}$ 、 $M_{\text{PDP-N}}$ 分别表示传统电路的测试值 and 混合后的新电路测试值。

表 4 不同类型混合加法器的参数比较

加法器 类型	位 数/ bit	$i(n_1, n_2)$	功耗/ μW	延迟 时间/ ns	PDP/ pJ	PDP 改进 量/%
SRMA	8	2(3, 1)	6.6	0.7	4.7	3.2
	16	4(3, 1)	15.8	1.5	24.5	4.0
	32	8(3, 1)	34.2	3.2	110.4	4.6
	64	16(3, 1)	70.9	6.6	467.7	4.9
LSMA	8	2(2, 2)	11.3	0.6	6.4	29.0
	16	4(2, 2)	25.5	1.4	36.1	34.6
	32	8(2, 2)	54.1	3.1	167.5	37.2
	64	16(2, 2)	111.1	6.5	717.4	37.9
LRMA	8	2(3, 1)	10.6	0.4	4.6	—
	16	4(3, 1)	23.5	1.0	23.5	—
	32	8(3, 1)	49.4	2.1	105.2	—
	64	16(3, 1)	101.1	4.4	444.9	—

表5 新加法器相比传统加法器的 PDP 改进量

位数/ bit	PDP 改进量/%			
	RCA	CLA	CSK	LRMA
8	17.4	40.0	8.8	—
16	14.5	70.6	10.9	—
32	13.5	85.6	11.6	—
64	12.9	92.9	11.7	—

可以看出,LRMA 与另外三种传统算法的加法器相比,位数为 8 位、16 位、32 位和 64 位时,PDP 改进量最高可达 40.0%、70.6%、85.6%和 92.9%。随着位数的增加,LRMA 的优势更加明显。每种算法的加法器随着位数的增加,改进量均呈上升趋势,这表明,基于本文算法的 LRMA 性能较好。

4 结 论

本文从降低 PDP 的角度出发,提出了一种 PDP 优化的混合进位算法。该算法采用功耗估算法和 Logical Effort 延迟模型算法,能快速搜索出三种传统加法器混合的最佳组合。该加法器结合了 CLA 算法和 RCA 算法的优势,与三种传统算法的加法器相比,位数为 8 位、16 位、32 位和 64 位时,PDP 改进量最高可达 40.0%、70.6%、85.6%和 92.9%。

参 考 文 献:

- [1] 王宗静,齐家月. 低功耗非全摆幅互补传输管加法器[J]. 微电子学与计算机, 2006, 23(5): 8-11.
 - [2] 袁浩,唐建,方毅. 超前进位加法器的优化设计[J]. 通信技术, 2014, 47(3): 339-342.
 - [3] 崔晓平,王成华. 基于方块超前进位的快速进位跳跃加法器[J]. 南京航空航天大学学报, 2006, 38(6): 786-790.
 - [4] 厉琼莹,夏银水,张骏立. 基于 ROBDD 的电路功耗估算方法[J]. 计算机工程, 2016, 42(12): 78-83.
 - [5] ANACAN R M, BAGAY J L. Logical effort analysis of various VLSI design algorithms [C] // IEEE Int Conf Control Syst. George Town, Malaysia. 2016: 19-23.
 - [6] 叶锡恩,干雪,夏银水. Reed-Muller 逻辑电路的功耗估算技术[J]. 浙江大学学报, 2008, 35(5): 526-529.
 - [7] 顾梦霞. 数字通道传输延迟时间测量方法研究[J]. 计算机工程与科学, 2015, 37(10): 1825-1830.
 - [8] BHAVANI M, KUMAR M S, RAO K S. Delay comparison for 16×16 Vedic multiplier using RCA and CLA [J]. Int J Elec & Comput Engineer, 2016, 6(3): 1205.
 - [9] 张爱华,夏银水. 低功耗全加器的电路设计[J]. 浙江大学学报, 2008, 35(5): 534-537.
-
- (上接第 797 页)
- [25] CHANG C-Y, KHAJA F A, HOLLAR K E, et al. Ultra-low ($1.2 \times 10^{-9} \Omega \cdot \text{cm}^2$) p-Si_{0.55}Ge_{0.45} contact resistivity (ρ_c) using nanosecond laser anneal for 7 nm nodes and beyond [C] // 17th IWJT. Uji, Japan. 2017: 23-26.
 - [26] NI C-N, LI X, SHARMA S, et al. Ultra-low contact resistivity with highly doped Si:P contact for nMOSFET [C] // Symp VLSI Technol. Kyoto, Japan. 2015: T118-T119.
 - [27] YU H, SCHAEKERS M, ROSSEEL E, et al. $1.5 \times 10^{-9} \Omega \cdot \text{cm}^2$ contact resistivity on highly doped Si:P using Ge pre-amorphization and Ti silicidation [C] // IEEE Int Elec Dev Meet. Washington D C, USA. 2016: 21.7.1-21.7.4.
 - [28] YANG Y R, BREIL N, YANG C Y, et al. Ultra low p-type SiGe contact resistance FinFETs with Ti silicide liner using cryogenic contact implantation amorphization and solid-phase epitaxial regrowth (SPER) [C] // IEEE Symp VLSI Technol. Honolulu, HI, USA. 2016: 1-2.
 - [29] NI C N, HUANG Y C, JUN S, et al. PMOS contact resistance solution compatible to CMOS integration for 7 nm node and beyond [C] // Int Symp VLSI Technol, Syst & Applic. Hsinchu, China. 2016: 1-2.
 - [30] YU H, SCHAEKERS M, HIKAVYY A, et al. Ultralow-resistivity CMOS contact scheme with pre-contact amorphization plus Ti (germano-) silicidation [C] // IEEE Symp VLSI Technol. Honolulu, HI, USA. 2016: 1-2.