

文章编号: 2095-4980(2017)03-0507-07

一种 500 Mbps 至 4 Gbps 连续速率的多模式 CDR 电路

李天一^{1,2}, 许晓冬¹, 尹 韬¹, 辛福彬^{1,2}, 李 威¹, 杨海钢^{*1}

(1.中国科学院电子学研究所 可编程芯片与系统研究室, 北京 100190; 2.中国科学院大学, 北京 100190)

摘 要:提出了一种连续速率的时钟数据恢复(CDR)电路,可覆盖 500 Mbps 到 4 Gbps 数据率。该 CDR 电路在 130 nm 互补金属氧化物半导体(CMOS)工艺下实现,基于相位插值(PI)原理,采用数字投票电路和相位控制逻辑替代电荷泵和模拟滤波器以方便工艺移植。为缩小片上锁相环(PLL)输出时钟频率范围,同时避免 PI 电路处于非线性区,该 CDR 电路采用多种速率模式切换的方式将采样时钟频率限定在 500 MHz~1 GHz 之间。PI 电路为 7 bit 精确度,线性度良好,4 Gbps 数据率时,恢复时钟的峰峰值抖动约为 25.6 ps。该 CDR 误码率在 10^{-10} 以下,可跟踪最大 ± 976.6 ppm 的数据频偏,功耗约为 13.28 mW/Gbps,测试芯片大小为 5 mm²,其中 CDR 芯核部分为 0.359 mm²。

关键词:时钟数据恢复; 相位插值; 连续速率; 多模式; 互补金属氧化物半导体

中图分类号: TN929

文献标志码: A

doi: 10.11805/TKYDA201703.0507

A 500 M to 4 Gbps continuous-rate multimode PI-CDR implementation in 130 nm CMOS

LI Tianyi^{1,2}, XU Xiaodong¹, YIN Tao¹, XIN Fubin^{1,2}, LI Wei¹, YANG Haigang^{*1}

(1.System on Programmable Chip Research Department, Institute of Electronics, Chinese Academy of Sciences, Beijing 100190, China;

2.The University of Chinese Academy of Sciences, Beijing 100190, China)

Abstract: A continuous-rate Clock Data Recovery(CDR) circuit is proposed, which covers a data rate of 500 Mbps to 4 Gbps. The proposed CDR, implemented in 130 nm Complementary Metal Oxide Semiconductor(CMOS), is based on phase interpolation and utilizes digital voter and phase control logic instead of charge pump and analog filter, which is meaningful to transplantation between different technologies. To reduce the frequency range of the clock of Phase Lock Loop(PLL) outputs and avoid the Phase Interpolator(PI) getting into the nonlinear region, multimode is designed to limit the frequency range of the sampling clock only from 500 M to 1 GHz. The PI realizes an accuracy of 7 bit and a good linearity, while the peak-to-peak jitter of the recovered clock of is about 25.6 ps at 4 Gbps. The CDR realizes a $BER < 10^{-10}$ and is able to track a maximum frequency offset of ± 976.6 ppm between the input data and the sampling clock. The power consumed by the proposed CDR is 13.28 mW/Gbps. A 5 mm² test chip is also fabricated, where the CDR core occupies 0.359 mm² of area.

Keywords: Clock-Data-Recovery; Phase Interpolator; continuous-rate; multimode; Complementary Metal Oxide Semiconductor

串行收发系统,即串行器和解串器(Serializer and Deserializer, SERDES)广泛应用于有线通信中。当 SERDES 作为现场可编程门阵列(Field Programmable Gate Array, FPGA)内嵌的电路模块时,要求能够覆盖很宽的数据率范围以适应多协议通信和灵活的应用配置。其中,时钟数据恢复电路(CDR)作为解串器的核心部件,限制了整个电路的最高数据率。高数据率一直是 CDR 研究重要的目标,近年来发表了许多 44 Gbps 及以上的 CDR 结构^[1-3]。然而 SERDES 在可编程芯片中的广泛应用也催生了大量频率稍低,但范围更广的设计^[4-8]。

传统 CDR 结构可以分为 2 大类,其中闭环结构包括基于锁相环(PLL)的 CDR,和基于相位插值(PI)电路的 CDR。所谓 PLL-CDR^[1-2,6-8]使用一个普通的 PLL 环路来跟踪频率,当频率锁定后切换到相位跟踪环路。而 PI-CDR

收稿日期: 2015-11-13; 修回日期: 2016-02-06

基金项目: 自然科学基金资助项目(No.61271149,61474120)

*通信作者: 杨海钢 email: yanghg@mail.ie.ac.cn

则把 PLL 置于环路之外, 不是通过调整振荡器频率来跟踪相位, 而是用相位插值法在不改变时钟频率的条件下调整相位, 这样提供参考时钟的 PLL 可以多个通道共用^[3-5,9-10]。

与之相对的开环 CDR 包括所谓“盲采样”或“过采样”结构^[11-12], 利用延时锁定环(Delay Lock Loop, DLL)产生多相时钟对数据采样。由于采样时钟频率(或相位间距的频率)是输入数据的 N 倍, 可以通过一个 N 选 1 的表决器直接确定正确的数据, 无需相位跟踪。然而过采样 CDR 没有频率和相位调整能力, 因此高度依赖参考时钟; 另一个难题则是产生高精度度的多相时钟。另一种开环结构是可以在一个周期内锁定的“突发模式”CDR^[13-14]。输入数据的边沿驱动一个门控振荡器(Gated Oscillator, GO), 强制其在数据边沿复位, 从而跟踪数据。同样, 快速锁定的代价也是高度依赖参考时钟, 并且数据边沿提取电路也是瓶颈所在。本文提出了一种基于相位插值结构的 CDR, 数据率 500 Mbps 至 4 Gbps。为便于在工艺间移植, 采用了全数字结构。为达到宽频率范围, 本文设计了 3 种数据率模式。PI 的参考时钟由片上自偏置 PLL 提供, 产生 500 MHz~1 GHz 的参考时钟。

1 CDR 结构

本文提出的 CDR 结构如图 1 所示。通道输入的差分数据由连续时间线性均衡器(Continuous Time Linear Equalizer, CTLE)进行均衡处理。PLL 产生的 8 相时钟通过 PI 转化为可调相位的时钟 CLK'。二进制鉴相器(Bang-Bang Phase Detector, BBPD)通过 8 路相位可调时钟对数据采样, 输出恢复出的 16 bit 并行数据及同步时钟, 同时产生超前滞后信息“early”和“late”。该判决信息由一个简单的采样电路滤除毛刺, 而后输入相位控制电路, 状态机产生 20 bit 相位控制码, 用于调整相位插值器。16 bit 数据继续解串为 32 bit, 从而可以降低输入频率。当控制码稳定在某个位置附近时, 输出锁定标志位为“1”, 用户检测到后可以读取输出的数据。

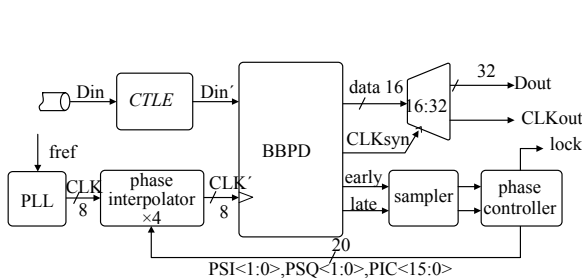


Fig.1 The proposed PI CDR architecture
图 1 提出的 PI CDR 结构

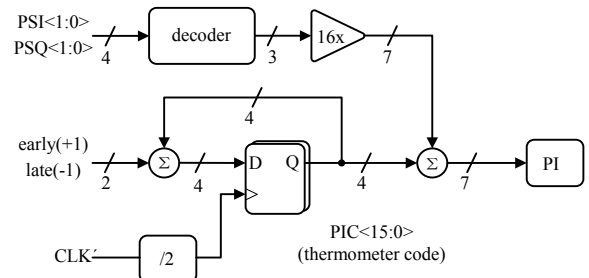


Fig.2 Sample realization
图 2 采样实现方式

图 2 是数据采样的实现。在 20 位控制码中, PIC<15:0>为 16 位温度计码, 相当于 4 位二进制码。超前-滞后判断脉冲“early”和“late”将对控制码加 1 或减 1。PSI<1:0>和 PSQ<1:0>分别用于控制 4 选 1 多路选择器选择 8 个不同的状态, 因此两者相当于 1 个 3 位二进制码, 详细介绍见第 3 节。以上 2 组控制码合在一起达到了 7 bit 精确度。当输入数据频率与参考时钟偏差过大时, 相位跟踪将会失败。最大可跟踪的频率范围可用式(1)^[12]计算:

$$\Delta f_{\max} = \frac{\Delta\theta}{2\pi} f_{\text{PRupdate,max}} = \frac{1}{2^7} f_{\text{CLK}} \times \frac{1}{2} \quad (1)$$

这里的 $\Delta\theta$ 是 PI 可产生的最小相位间距, 对于 7 bit 精确度, 这个值是 2π 的 $1/2^7$ 。式中 $f_{\text{PRupdate,max}}$ 是相位控制器最大工作频率, 在本设计中是 CLK' 的一半, 如图 5 所示。因此频率跟踪(FT)范围如式(2)所示:

$$FT = \frac{\pm \Delta f_{\max}}{\text{Baud}} \times 10^6 = \frac{\pm \frac{1}{2^8} \cdot f_{\text{CLK}}}{\frac{1}{\text{Rate}} \cdot f_{\text{CLK}}} \times 10^6 = \pm \frac{\text{Rate}}{2^8} \times 10^6 \quad (2)$$

式中: Baud 是输入数据波特率; Rate 是本文 CDR 的数据采样速率模式。以默认的四分之一速率为例, 即采样时钟频率为输入数据的四分之一, Rate 等于 1/4, 则 FT 约为 ± 976.6 ppm。

2 各模块实现

2.1 相位插值电路

为了降低数字控制的难度, 本文设计了一种层次化结构。如图 3(a)所示, 1 个时钟周期均分为 8 个区域, 记

为 I~VIII, 8 个边界相位由 PLL 产生。在每个区域里, PI 可以产生 1 个介于 2 个边界相位之间的相位。图 6(b) 所示为 1 个 PI 模块结构, 包含 2 个 4 选 1 多路选择器(MUX)和 1 个 PI 核心单元, 均为差分结构。为了使 8 个相位都可调, 共需要 4 个 PI 模块, 如图 3(c)所示, 所有 PI 模块均由同一组控制码来保证同步。由于 PI 核心单元由温度计码 $PIC<15:0>$ 控制, 因此每个相位区域包含 16 个相位, 8 个区域就是 128 个, 因此实现了 7 bit 精确度。

具体电路实现如图 4 所示, 两路差分时钟 $CLKI$ 和 $CLKQ$ 由 16 个数控电流源连接, 当温度计码 $C<15:0>$ 从全 0 增加到全 1 时, $CLKI$ 支路的电流减少而 $CLKQ$ 支路的电流增加, 导致输出相位从 $CLKI$ 偏向 $CLKQ$ 。图 5 展示了 1 GHz 时钟下, PI 输出延时与控制码的关系, 此时 PI 两个输入时钟的延时差为 125 ps。PI 的线性度约为 0.995 5, 误差在 0.65% 以下。

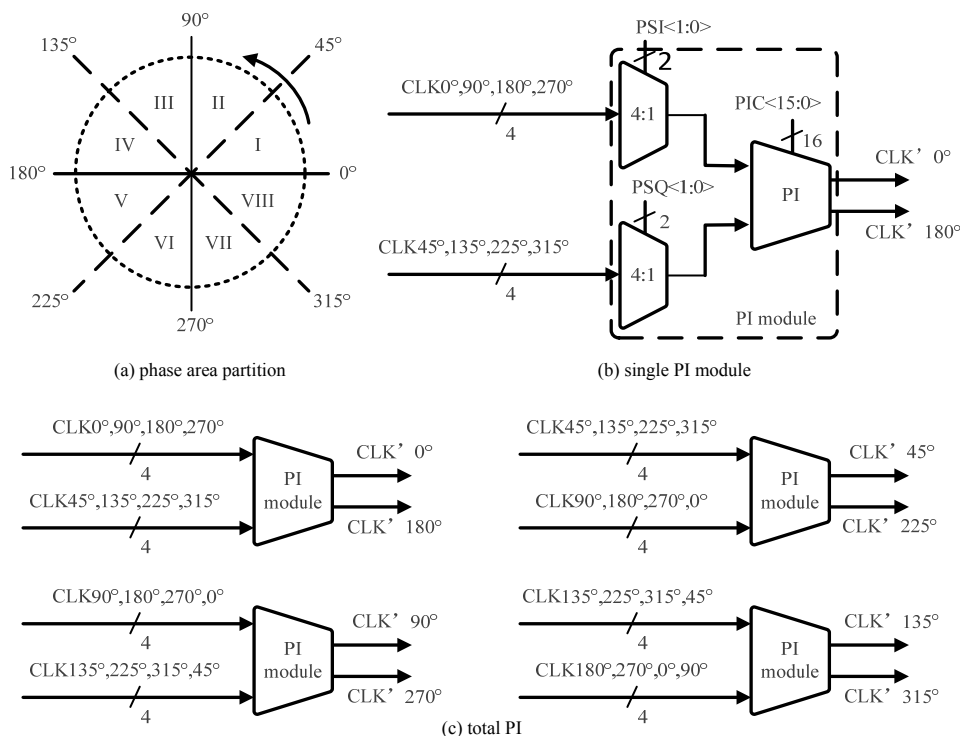


Fig.3 PI structure
图 3 相位插值单元

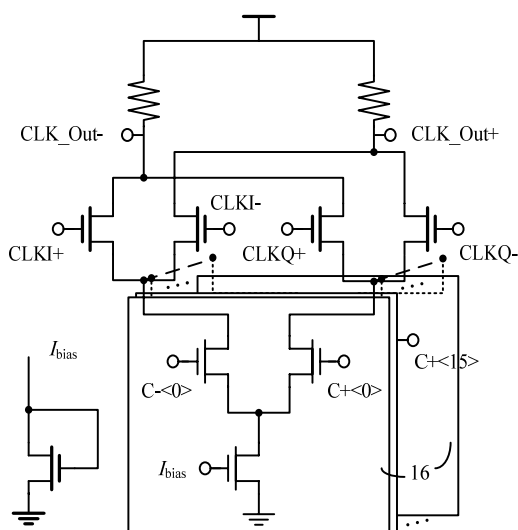


Fig.4 Phase interpolator cell
图 4 1 GHz 下的相位插值曲线

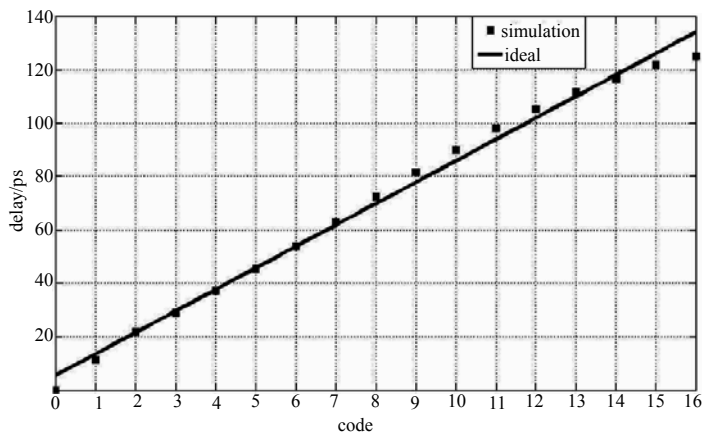


Fig.5 Phase interpolating curve at 1 GHz
图 5 1 GHz 下的相位插值曲线

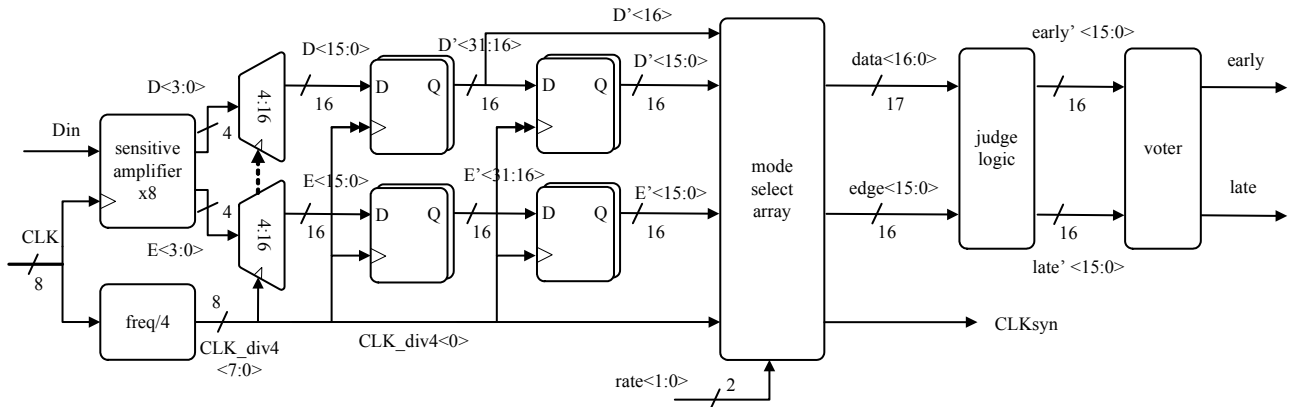


Fig.6 Architecture of BBPD

图6 BBPD 结构

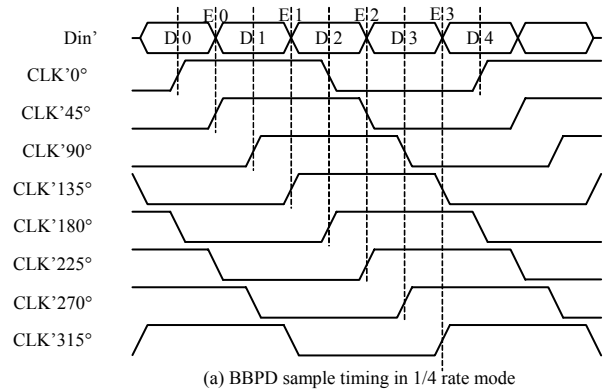
2.2 二进制鉴相器(BBPD)

二进制鉴相器由于其非线性特征，常被称为“Bang-Bang”鉴相器(BBPD)。与传统 PLL 中的线性鉴相器不同，它的输出脉冲宽度不会随着相位误差变化，只给出“超前”或“滞后”的二进制判断信息。图 6 为本文提出的 BBPD 结构。8 相时钟通过 8 个敏感放大器型触发器(SA DFF)对输出数据 Din' 采样。如图 7(a)所示，数据位中段 D<3:0>和数据位边沿 E<3:0>均被采样。敏感放大器触发器具体实现如图 7(b)，由 2 级敏感放大器组成以增加增益。

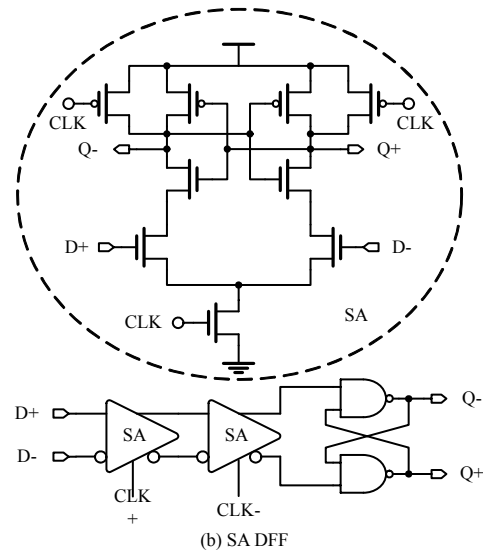
数据信息 D<3:0>和 E<3:0>进行 4 分频，转化为 D<15:0>和 E<15:0>，而后由输入时钟的四分频时钟之一的 CLK_div4<0>同步。为满足判断逻辑和模式选择的需要，D<15:0>和 E<15:0>延时 1 个周期，从而得到 D'<31:0>和 E'<31:0>，然而只需要其中的 D'<16:0>和 E'<15:0>，再经过模式选择阵列转换为 Data<16:0>和 Edge<15:0>。

Data<16:0>和 Edge<15:0>将计算出相位状态信息 early'<15:0>和 late'<15:0>，如图 8 所示。当时钟超前数据边沿，如图 8(b)所示，Edge<i>与 Data<i>相等，而与 Data<i+1>不等，从而 early'<i>为 1 而 late'<i>为 0。相反，当时钟落后于时钟边沿，如图 8(c)所示，early'<i>为 0 而 late'<i>为 1。最后，全部 16 组判断信息 early'<15:0>和 late'<15:0>将经过投票电路选出最终的 1 组判断信息“early”和“late”。

为了降低片上 PLL 和插值电路的设计难度，本文采用 3 个速率模式切换的方式大大缩小了参考时钟范围。在输入数据率 2 Gbps 至 4 Gbps 时，采用四分之一速率，PLL 产生的参考时钟速率为数据率的四分之一，即 500 MHz 至 1 GHz。当输入数据为 1 Gbps 至 2 Gbps 时，采用半速率模式，因此参考时钟范围不变，仍为 500 MHz 至 1 GHz。同理，对于 500 Mbps 至 1 Gbps 的数据，采用全速率模式，参考时钟频率范围得以始终保持不变。



(a) BBPD sample timing in 1/4 rate mode



(b) SA DFF

Fig.7 Sensitive amplifier flip-flop

图7 敏感放大器型触发器

2.3 连续时间线性均衡器(CTLE)

由于数据在传输路径上的损失最为严重,因此收发器中通常需要均衡电路。图9所示为连续时间线性均衡器(CTLE)结构,电路包含了1个固定电阻和2个可调MOS管电容,共同组成了1个高通滤波器。数据通道(虚线)、CTLE(点状线)和整体(实线)的频率响应曲线如图10所示。由于输入数据率为500 Mbps~4 Gbps,相当于250 MHz~2 GHz的时钟频率,在此范围内经过CTLE的均衡处理,频率响应已较为平坦。

3 仿真结果

本文提出的CDR由130 nm CMOS工艺实现,尺寸约为 $2\text{ mm} \times 2.5\text{ mm}$,其中CDR核心部分仅占 0.359 mm^2 。输入4 Gbps数据时,输入数据和输出数据Data<15:0>之间有52个输入数据位宽的延迟,这是由于四分之一速率模式下复杂的同步过程以及电路本征延时所致,半速率模式下环路延时为26个数据位宽而全速率模式下只有13个。

4 Gbps数据采样,输入数据为 $2^{15}-1$ 伪随机序列(Pseudo Random Binary Sequence, PRBS)。由于敏感放大器型触发器有约55 ps的保持时间,因此本应该与数据边沿对齐的CLK'45°有约56.8 ps的误差。恢复时钟的峰峰值抖动约为25.6 ps。

最后,表1是本文与已发表的CDR结构的数据对比。与参考文献[5-6]和[12]相比,本文提出的CDR适应更宽的数据率范围,同时抖动和频率跟踪能力水平相近,但比文献[5]占用更大的芯片面积,比文献[6]功耗更大。功耗更大的原因主要是电源电压更高,并且在PLL和CDR核心电路之间的时钟路径上采用了较大的缓冲器。与文献[9]相比,本文的CDR数据率较低,但频率跟踪能力更强,然而误码率(Bit Error Rate, BER)是本文CDR的劣势所在。

4 结论

本文提出了一种500 Mbps~4 Gbps的连续速率时钟数据恢复电路,并在130 nm CMOS工艺下实现。该CDR基于相位插值电路,为降低片上PLL和相位插值器的设计难度,采用了多速率模式。与传统模拟环路中常见的电荷泵和滤波器不同,为了便于工艺间的移植,本文采用了数字投票电路和相位控制逻辑。相位调整精确度为7位,恢复时钟的峰峰值抖动在4 Gbps输入数据时达到25.6 ps。在整个数据率范围内达到了 $<10^{-10}$ 的误码率,频率追踪范围约为 $\pm 976.6\text{ ppm}$ 。CDR芯核部分功耗约为 13.28 mW/Gbps ,版图尺寸约为 0.359 mm^2 。

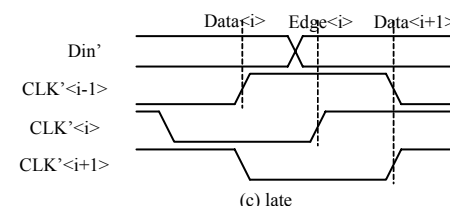
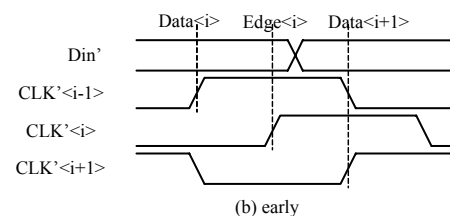
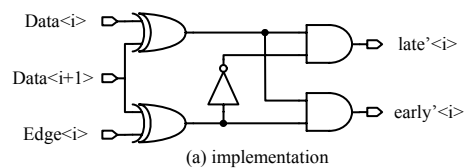


Fig.8 Judge logic
图8 判断逻辑

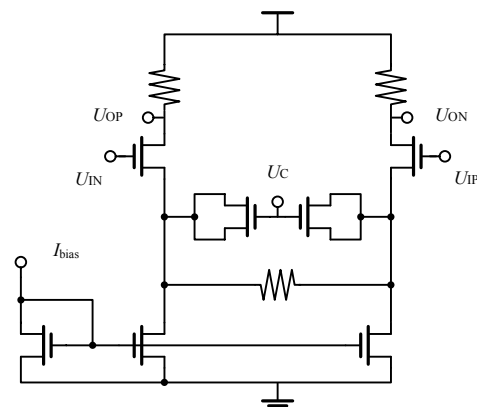


Fig.9 CTLE circuit
图9 CTLE 电路

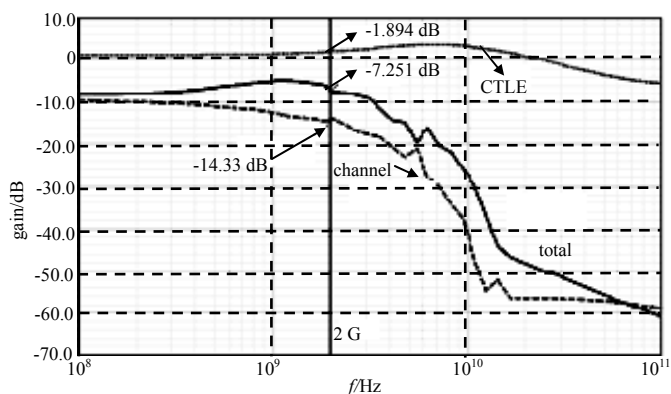


Fig.10 CTLE frequency characteristics curves
图10 CTLE 频率特征曲线

表1 性能参数比较
Table1 Performance comparison

	data rate/(Gb·s ⁻¹)	technology/nm	supply/V	loop type	power/(mW·Gbps ⁻¹)	area/mm ²	p-p jitter/ps	freq-tracking range/ppm	BER
[5]	2.0-3.2	90	1.2	closed	13.88	0.120	28.0	±1 200	10 ⁻¹²
[6]	0.5-2.5	130	1.2	closed	3.05	0.390	44.0	±1 000	10 ⁻¹²
[9]	6.0-44.0	90	1.0	closed	5.74	0.200	—	±615	10 ⁻¹²
[12]	1.9-3.5	110	1.2	open	47.90	0.150	57.1	—	10 ⁻¹¹
proposed	0.5-4.0	130	1.5	closed	13.28	0.359	25.6	±976	10 ⁻¹⁰

参考文献:

- [1] KAERIYAMA S, AMAMIYA Y, NOGUCHI H, et al. A 40 Gb/s multi-data-rate CMOS transmitter and receiver chipset with SFI-5 interface for optical transmission systems[J]. IEEE Journal of Solid-State Circuits, 2009(44):3568-3579.
- [2] MING Shuan C, YU Nan S, CHEN-Lun L H, et al. A fully-integrated 40-Gb/s transceiver in 65 nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2012,47(3):627-640.
- [3] NAVID R, CHEN E H, Hossain M, et al. A 40 Gb/s serial link transceiver in 28 nm CMOS technology[J]. IEEE Journal of Solid-State Circuits, 2015,50(4):814-827.
- [4] FARJAD-rad R, NGUYEN A, Tran J M, et al. A 33-mW 8-Gb/s CMOS clock multiplier and CDR for highly integrated I/Os[J]. IEEE Journal of Solid-State Circuits, 2004,39(9):1553-1561.
- [5] COBAN A L, KOROGU M H, AHMED K A, A 2.5-3.125-Gb/s quad transceiver with second-order analog DLL-based CDRs[J]. IEEE Journal of Solid-State Circuits, 2005,40(9):1940-1947.
- [6] INTI R, WENJING Y, Elshazly A, et al. A 0.5-to-2.5 Gb/s reference-less half-rate digital CDR with unlimited frequency acquisition range and improved input duty-cycle error tolerance[J]. IEEE Journal of Solid-State Circuits, 2011,46(12):3150-3162.
- [7] DALTON D, CHAI K, EVANS E, et al. A 12.5-mb/s to 2.7-Gb/s continuous-rate CDR with automatic frequency acquisition and data-rate readback[J]. IEEE Journal of Solid-State Circuits, 2005,40(12):2713-2725.
- [8] RONG Jyi Y, KUAN Hua C, HWU S C, et al. A 155.52 mbps-3.125 gbps continuous-rate clock and data recovery circuit[J]. IEEE Journal of Solid-State Circuits, 2006,41(6):1380-1390.
- [9] RODONI L, VON Buren G, HUBER A, et al. A 5.75 to 44 Gb/s quarter rate CDR with data rate selection in 90 nm bulk CMOS[J]. IEEE Journal of Solid-State Circuits, 2009,44(7):1927-1941.
- [10] HANUMOLU P K, KRATYUK V, GU Yeon W, et al. A sub-picosecond resolution 0.5-1.5 GHz digital-to-phase converter[J]. IEEE Journal of Solid-State Circuits, 2008,43(2):414-424.
- [11] TYSHCHENKO O, SHEIKHOLESAMI A, TAMURA H, et al. A 5-Gb/s ADC-Based Feed-Forward CDR in 65 nm CMOS[J]. IEEE Journal of Solid-State Circuits, 2010,45(6):1091-1098.
- [12] VAN Ierssel M, SHEIKHOLESAMI A, Tamura H, et al. A 3.2 Gb/s CDR using semi-blind oversampling to achieve high jitter tolerance[J]. IEEE Journal of Solid-State Circuits, 2008,42(10):2224-2234.
- [13] HSIEH C L, CHU H C, LIU S L. A 10 Gb/s inductorless quarter-rate clock and data recovery circuit in 0.13 μm CMOS[C]// Solid-State Circuits Conference, 2009. A-SSCC 2009. [S.l.]:IEEE, 2009:165-168.
- [14] GIERKINK S L J. A 2.5 Gb/s run-length-tolerant burst-mode CDR based on a 1/8th-rate dual pulse ring oscillator[J]. Solid-State Circuits, 2008(43):1763-1771.

作者简介:



李天一(1990-), 男, 吉林省辉南县人, 在读博士研究生, 主要研究方向为高速串行接口时钟数据恢复技术.email:litianyi12@mails.ucas.ac.cn

尹 韬(1980-), 男, 吉林省柳河县人, 博士, 副研究员, 主要研究方向为微弱信号检测、惯性传感接口芯片设计。

许晓冬(1985-), 男, 安徽省安庆市人, 博士, 助理研究员, 主要研究方向为 CMOS 射频电路、高速接口芯片设计。

幸福彬(1985-), 男, 山东省济宁市人, 在读博士研究生, 主要研究方向为高性能模拟数字转换器。

李 威(1983-), 女, 黑龙江省大庆市人, 助理研究员, 主要研究方向为可编程芯片结构设计。

杨海钢(1960-), 男, 上海市人, 研究员, 博士生导师, 主要研究方向为大规模可编程逻辑芯片设计、智能信息获取、处理、传输集成化芯片系统。