Design of WIM Piezoelectric Vehicle Dynamic Weighing Signal Acquisition System Based on FPGA *

CHEN Jian, YU Dianhong*, ZHANG Zuyi, LIU Yupu, YANG Fang

(College of Mechanical and Precision Instrument Engineering, Xi'an University of Technology, Xi'an Shaanxi 710048, China)

Abstract: In order to solve the problem of realizing multi-channel weighing sensor signal acquisition in automobile dynamic weighing system, a multi-channel high-speed data acquisition system based on "FPGA" WIM piezoelectric vehicle dynamic weighing sensor is designed. It can realize synchronous acquisition, storage, transmission and processing of multi-lane dynamic load cell signals. FPGA is used as the signal acquisition unit, with two 2 G high-speed data storage SDRAM modules for multi-channel data storage. Using the AD acquisition module with a resolution of 16 bits and a sampling rate of 1 MSPS, the design can achieve up to 16 channels of signals collection. The host computer system is equipped with an embedded operating system, which is used to complete the signal processing of dynamic weighing, realizing data transmission with the FPGA through the PCIe bus. After experimental verification, the data acquisition system can simultaneously achieve 16 channels, and the vehicle travels at a maximum speed of 120 km/h through the signal acquisition, storage and processing of the piezoelectric dynamic weighing sensor.

Key words: FPGA; WIM piezoelectric vehicle dynamic weighing; signal acquisition; embedded operating system; PCIeEEACC: 2860A; 7210Gdoi: 10.3969/j.issn.1005-9490.2023.06.038

基于 FPGA 的 WIM 压电式车辆动态称重信号采集系统的设计*

陈 建,于殿泓*,张祖漪,柳禹朴,杨 芳 (西安理工大学机械与精密仪器工程学院,陕西西安710048)

摘 要:为解决汽车动态称重系统中多通道称重传感器信号采集的问题,设计了一款基于 FPGA 的 WIM 压电式车辆动态称重 传感器的多通道高速数据采集系统,该数据采集系统可实现对多车道动态称重传感器信号的同步采集、存储、传输和处理。 采用 FPGA 作为信号采集单元,带有2片2G 的高速数据存储 SDRAM 模块用于多通道的数据存储;采用分辨率为16位,采样 率为1 MSPS 的 AD 采集模块,设计可实现最多16通道的信号采集。上位机系统中搭载嵌入式操作系统,用于完成动态称重 的信号处理,其通过 PCIe 总线可实现与 FPGA 的数据传输。经过实验验证,该数据采集系统可同步实现16通道,车辆通过压 电式动态称重传感器的信号采集、存储和处理,以最高120 km/h 时速行驶。

关键词:FPGA;WIM 压电式车辆动态称重;信号采集;嵌入式操作系统;PCIe

中图分类号:TP274 文献标识码:A 文章编号:1005-9490(2023)06-1702-06

随着我国公路交通运输业的快速发展,运输车 辆超限超载现象愈加普遍,这严重影响了公路桥梁 的寿命,也给交通安全带来了巨大危害^[1]。车辆动 态称重系统的发展不仅可有效治理车辆超限超载, 并且随着动态称重技术的不断提高,将逐步取代传 统的人工及静态称重收费模式^[2-4]。目前,称重精 度差仍是制约动态称重系统发展的主要因素。影响 动态称重精度的主要因素是测得的轴重信号中混有 许多干扰信号,包括车速、车辆振动、轮胎驱动力、路 面激励以及系统自身产生的测量干扰等^[5]。因此, 为了高效和精确地获取动态称重的原始信号,信号 采集则显得尤为重要。近年来,现场可编程逻辑门 阵列(Field Programmable Gate Array,FPGA)芯片由 于其内部逻辑电路独特的可编程性,有效降低了研

项目来源:国家自然科学基金项目(62075180) **收稿日期**:2022-06-16 修改日期:2022-08-14 发成本, 被广泛用作数据采集的控制芯片^[6-8]。 FPGA 片上资源不受固化模块的占用, 可被各个功 能模块调用, 灵活性高。

因此,本文设计了一种基于 FPGA 的 WIM 压电 式车辆动态称重信号采集系统,其电路部分主要由 16 路电荷放大器模块、16 路 AD 采集模块、1 个 FPGA 芯片和 2 个 2 G 的 DDR3 存储芯片组成。研 究中,通过时序设计,可以同时控制 16 路 AD 采集 模块的信号采集,并将采集信号存储至 DDR3 中,之 后通过 PCIe 总线将数据传输至上位机系统。该信 号采集板 卡采用分辨率为 16 位,采样速率为 1 MSPS 的 AD 转换器,可实现车辆以 0 到 120 km/h 时速通过动态称重传感器时,输出信号为 0~5V 的 电压信号。

1 压电式车辆动态称重检测原理

WIM 压电式车辆动态称重主要是通过将动态称重传感器嵌入安装在公路路面,使传感器的承载 表面与公路路面在同一平面上,传感器安装示意图 如图1所示。



图 1 压电式车辆动态称重检测原理

WIM 压电式车辆称重传感器主要由石英晶体组成,石英晶体具有压电效应,作用在石英晶体上的应力可使其产生电荷^[9-11]。如图 2 所示,当压电表面受到正压力或拉力时,传感器上下表面产生电压差。



图 2 石英晶体受力图分析

当车轮在传感器上滚动时,它将在轮胎和传感 器之间产生水平、垂直和横向力,由于采用了特殊的 传感器设计,仅需要测量垂直力(F_z),道路和传感 器之间的横向和水平侧向力(F_x 和 F_y)通过传感器 周围的特殊弹性材料解耦,不会对称重系统产生影 响^[12]。当对传感器中的石英晶体施加垂直力时,压 电石英盘将产生与施加的垂直力 F_z 成比例的电荷 信号,电荷信号经过电荷放大器转换成精确的比例 电压,根据 WIM 压电式车辆称重传感器的计算方式 即可得到车辆单轴经过时的重量,对所有轴重量求 和即可得到车辆的实际负载重量^[13]。图 3 所示为 车辆通过车辆碾压石英称重传感器后,经电荷放大 器转换得到的电压信号。



图 3 为单轴输出的有效波形示意图,其中u(t) 为车轮行驶通过传感器,经过转换得到的电压信号; r(t)为经验阈值; $t_1 - \Delta t_1, t_2 + \Delta t_2$ 为波形起始和结束 时刻; t_1, t_2 为阈值所截取的波形有效的起始和结束 时刻。

通过经验阈值,得到有效波形的起始和结束时间信息,对有效波形做如式(1)的计算,得到单轴的轴重信息。

$$W = (V/L) \times S \times C \tag{1}$$

式中:W 为轴重;V 为车速;L 为传感器宽度;S 为波 形的面积,由 $t_1 - \Delta t_1$ 时刻到 $t_2 + \Delta t_2$ 时刻的波形做面 积积分所得;C 为标定常数。

汽车的总重量等于汽车各个轴的重量之和,即:

$$W_{SUM} = \sum_{i=1}^{n} W_i$$
 (2)

式中:W_SUM 为车辆总重量,n 为车辆的轴数, W_i 为单个轴重量。

2 动态称重信号采集系统设计

2.1 采集系统总体架构

本文所研究的动态称重信号采集系统的结构如 图 4 所示,主要由电荷放大器、A/D 转换电路、FPGA 控制模块组成。



图 4 信号采集系统结构框图

电荷放大器主要由电荷放大电路和低通滤波器 电路组成,将压电传感器输出的电荷信号转换为 1 V~5 V 的电压信号,以满足 A/D 输入端的输入范 围。A/D 转换电路主要包括由 16 路单端转差分电 路和 A/D 转换器组成,单端转差分电路主要起到增 强信号的抗共模干扰能力。

FPGA 控制电路由 FPGA 芯片、2 片 DDR3 和 Flash 芯片构成。其核心芯片选用 Xilinx 的 Artix-7 系列,型号为 xc7a35tfgg484pkg;主控板的时钟频率为 100 MHz。DDR3 芯片(型号为: MT41J128M16JT-125)和 Flash 芯片(型号为: W25Q128FVSSIG)作为存 储芯片与 FPGA 相应管脚连接。其中,单片 DDR3 芯 片有 2 G 的存储量,用于临时存储采集的数据。Flash 芯片用来存储编写的控制程序,确保 FPGA 芯片启动时,能够正常加载芯片代码,完成 FPGA 内部控制电路的设计。

FPGA 通过 PCIe 总线实现与上位机系统的信号传输,上位机硬件系统搭载有嵌入式操作系统,负责运行系统程序,完成信号采集的控制和管理;同时,搭载了自主研发的数据处理软件,完成汽车动态称重多通道数据采集、分析和上报。

2.2 电荷放大器硬件电路

电荷放大器主要由电荷放大电路和二阶有源低通 滤波电路组成。WIM 压电石英晶体具备压电效应,当 车辆驶过时,传感器受到外力作用,会产生相应的电 荷,需要相关的处理电路将电荷信号放大,转换为 MCU 可识别的模拟信号。信号采集板采用 LMC660 芯片设 计电荷放大电路,硬件电路如图 5 所示。



图 5 电荷放大电路

该放大电路的同向输入端接偏置电压 V_{REF},反向输入端接入传感器信号输出端。经过放大电路将电荷转化为电压 V_{OUT},V_{OUT}通过反馈电容 C₃和电荷量 Q 得到,计算公式如式(3)所示:

$$V_{\rm OUT} = \frac{Q}{C_3} \tag{3}$$

电荷放大电路将与力有关的电荷输入转换并放 大为与力有关的电压输出,电荷放大电路的范围通常 为6000 pC/5 V。采集板采用 LMC660 芯片设计的放 大电路,当压电传感器受到力作用时,该传感器会获 得电荷 $q=d\times F$,其中 d(单位为库仑/牛顿,C/N)为压 电传感器晶体电荷对力的灵敏度。因此,压电石英晶 体称重传感器的稳定状态电荷灵敏度 $S_F = \Delta q / \Delta F$ (单 位为 pC/N)。如果将压电称重传感器与带反馈电容 C_3 的电荷放大器配合使用,则电容 C_3 上因电荷 Δq 而形成的电压为 $\Delta V = \Delta q / C_3$ 。对应的稳定状态电压 灵敏度为:

$$S_V = \Delta V / \Delta F = S_F / C_3 \tag{4}$$

则电荷放大器的输出电压为:

$$V_{\rm OUT} = \frac{1}{C_3} \int i_N dt = \frac{q}{C_3} = \frac{S_F}{C_3} F$$
(5)

图中电阻 R_4 (晶体传感器为 10 GΩ 至 10 TΩ) 为运算放大器提供直流反馈,并提供输入偏置电流。 对于测得的最小频率,该电阻必须尽量小,并决定着 频率输入范围的最低限值。在低频下,转折频率 f_{cL} 约为:

$$f_{\rm CL} = \frac{1}{2\pi R_4 C_3} \tag{6}$$

将一个电阻 R_1 (1 k Ω 至 10 k Ω) 与运算放大器 反向输入端串联,有助于提高稳定性和限制意外高 输入电压导致的输入电流。进一步提高 R_1 会导致 高频响应下降。在高频下, R_1 可以与传感器的阻抗 Z_s 相当(1/ ωC_s ,其中 C_s 为压电传感器的电容)。高 频条件下的转折频率 f_{CH} 为:

$$f_{\rm CH} = \frac{1}{2\pi R_4 C_s} \tag{7}$$

根据本文使用的 Kistler 型 9195G 石英称重传 感器的规格参数,可得到具体应用的电路参数。对 于 V_{OUT} 下的输出电压摆幅±5 V,可利式(3)计算得 到 $C_{3:}$

$$C_3 = S_F \Delta F / \Delta V = 60\ 000\ \text{pC} / 5\ \text{V} = 12\ \text{nF}$$
 (8)

选择 R_4 = 10 G Ω 并忽略运算放大器的输入电阻 和压电传感器的绝缘电阻,低频条件下的转折频 率为:

$$f_{\rm CL} = \frac{1}{2\pi R_4 C_3} = \frac{1}{2\pi \times 10^{10} \times 12 \times 10^{-9}} = 0.001 \ 326 \ \text{Hz} \ (9)$$

选择
$$R_1 = 10 \text{ k}\Omega$$
 时,高频条件下的转折频率为:
 $f_{CH} = \frac{1}{2\pi R_1 C_s} = \frac{1}{2\pi \times 10^4 \times 16 \times 10^{-9}} = 994.71 \text{ Hz}$ (10)

由于 WIM 压电式称重传感输出的信号经过电荷放大电路的信号转换后,其输出的直流响应差,且存在一定的干扰。因此根据石英称重传感器的要求,针对输出电压为±5 V 的电荷放大电路,在对转换后的电压信号进行 AD 采集之前,需要设置一个具有约 500 Hz 的低通截止模拟抗混叠滤波器。同时也考虑到动态称重信号的干扰,因此本文选用OP07D 搭建一个二阶有源低通滤波器,其硬件电路如图 6 所示。



传递函数为:
$$H(s) = \frac{1}{(1+sR_1C_1)(1+sR_2C_1)}$$
,其中

自然角频率为: $\omega_n = \frac{1}{C_1 \sqrt{R_1 R_2}}$,取 $R_1 = R_2$,则传递函数

为: $H(s) = \frac{1}{(1+sR_1C_1)^2}$ 。则截止频率 $\omega_c = \frac{1}{R_1C_1}$,取信

号的截止频率为 f_c = 500 Hz 时,则 $R_1 = R_2 = 390 \text{ k}\Omega$, $C_1 = 10 \text{ nF}_{\odot}$

2.3 A/D 转换电路设计

A/D转换电路主要由电源、单端转差分电路和 A/D转换电路组成。在动态称重系统中,对 WIM 压电式称重传感器,最小测量点指的是每个有效信 号的最小采样点数量。因此,在不丢失信息的情况 下为逼近原始力信号,车辆以最高时速 120 km/h 通 过传感器时,针对宽度为 0.04 m 的 WIM 压电式称 重传感器,有效波形的采样点数不低于 200, AD 采 样位数需大于等于 12 位。故本文 A/D 转换芯片采 用具有集成式基准缓冲器和增强性能的 ADS8920B,ADS8920B 为基于电荷再分配架构的单 通道、16 位、采样率为 1 MSPS 的逐次逼近型模数转 换器。支持单极差分输入,采用增强型 SPI 数字接 口,接口 SCLK 最高可达 18 MHz。REF5045AIDR 是 一款具有低噪声、低漂移、高精度的电压基准芯片, 故采用该电源基准芯片为 A/D 转换电路提供干净、 精准的参考电压,ADS8920B 硬件电路设计如图 7 所示。





由于 ADS8920B 为差分信号输入,需要对经过 电荷放大器处理后的单极性信号转换差分信号。因 此本文选用 THS4551 低噪声精密 150 MHz 全差分 放大器,实现将电荷放大器转换的单极性电压信号 转换为差分信号传输至 AD 转换器的输入端。硬件 电路设计如图 8 所示。



3 数据采集系统性能测试

FPGA 数据采集性能测试主要包括 DDR3 数据 读写测试、PCIe 数据传输测试和 ADC 数据采集。 将该采集系统在宁夏某公路线上,进行实地测试,现 场测试环境如图 9 所示,该测试环境为双向单车道 加单条辅道,在单车道和辅道前后均安装有两条交 错的 WIM 压电式称重传感。



图9 现场实验图

3.1 DDR3 数据读写测试

DDR3 数据读写测试主要包括 DDR3 读写测试 和乒乓读写测试。DDR3 读写测试主要测试数据读 写的准确性和数据读写的速度,通过 DDR3 读写控制 器在顶层模块设置一个定时器,设定一定的时间间 隔,通过循环读写,对 DDR3 进行数据的读写测试,由 定时器对每次读写测试进行计时,来检测 DDR3 的读 写速度。同时在每次对 DDR3 进行数据读写测试时, 将写入在 DDR3 内部的数据再进行数据读出,以验证 读取的数据与写入的数据是否一致,统计读写总次数 和错误次数,用于验证 DDR3 读写控制器的可靠性。 通过实验测试,在计数周期为 5 ns 时,写控制器写入 1 G 的数据共使用了 19 769 431 个时钟周期,读控制 器读取写入的1G数据共使用了21894613个时钟 周期,得到读写速度测试结果如表1所示。从表中数 据可以看出,通过对读写 DDR3 的测试,验证了控制 器的读写速度均达到设计的高速存取需求。

表1 DDR3 读写测试结果

方向	计数器记录	时间	数据量	速度
写数据	19 769 431	0.098 847 s	1 GB	10.12 GB/s
读数据	21 894 613	0.109 473 s	1 GB	9.13 GB/s

乒乓读写测试主要实现 A、B 两组 DDR3 的交 叉读写操作,通过该策略来达到数据缓存单元的同 时读写功能。缓存模块数据读写的测试方法如下, 在 250 MHz 时钟域产生 128 bit 的顺序数写入 ddc2ddr 异步 FIFO 中,然后抓取 A、B 两组数据读写 切换点的时序,通过观察切换点的时序来确定交叉 读写是否成功,另外通过模块的输出数据来验证整 个缓存模块数据读写的正确性。

3.2 PCIe 数据传输测试

PCIe 接口主要实现 FPGA 数据采集卡与 x86 主板之间的数据通讯。相对于标准编程的数据输入 与输出传输,DMA 具有大数据传输时高吞吐量以及 占用 CPU 更低的优势。因此系统设计时为了提高 系统性能选用 DMA 传输。根据 DMA 控制器的结 构,将系统功能模块划分为 2 个部分: FPGA 端和 PC 端。FPGA 端基于 Xilinx LogiCore-PCIe IP Core, 实现对数据时序的控制以及 PCIe 事务的处理; FPGA 端的主要功能模块包括 PCIe IP Core、RX 接 收引擎、TX 发送引擎、寄存器及存储读写、接收发送 的 FIFO 控制模块。PCIe IP Core 用于完成协议层 的配置; TX 发送引擎用于实现 TLP 数据包的发送 和时序管理; RX 接收引擎用于实现 TLP 数据包的 DMA 的操作和寄存器的管控;TX FIFO 接收外界数 据并缓存,提交 TX 发送引擎进而传输至 PC 端;RX FIFO 缓存从 PC 端接收到的数据包,等待用户调用。 PC 端主要采用 WinDriver 生成 PCIe 驱动,并利用其 自带的 API 函数实现数据接收与发送的应用程序 设计。

3.3 ADC 数据采集测试

AD采集模块使用的 ADS8920B 芯片, ADS8920B 设备支持三种功能状态:RST、ACQ 和 CNV。设备状 态主要由主机控制器提供的 CONVST 和 RST 控制 信号的状态决定。RST 为复位状态,当主机控制器 将 RST 引脚拉低并持续一段时间低电平,即进入 RST 状态;退出 RST 状态需要将 RST 引脚拉高, CONVST 和 SCLK 保持低电平,CS 保持高电平状态, 即进入 ACQ 状态;当引脚 CONVST 处于上升沿时将 ACQ 状态转换到 CNV 状态,CNV 状态即可实现 AD 数据的转换,SPI 在 CNV 状态下数据传输帧时序如 图 10 所示,设备和主机控制器之间的数据传输帧以 CS 下降沿和随后 CS 的上升沿为界。



图 10 ADC 读取时序图

编写 Verilog 程序,设置 AD 采样频率为 800 kHz,得到汽车动态称重原始信号波形如图 11 所示,该信号为六轴车行驶通过 WIM 压电式称重传 感器得到的信号,图中 6 个尖峰分别对应汽车各个 轴通过传感器时采集得到的波形。该信号的频谱图 如图 12 所示,通过原始信号的波形和频谱图可以看 出,该信号存在一定的低频噪声干扰,而高频信号的



噪声干扰在经过二阶有源低通滤波器得到了改善, 主要为低于 500 Hz 的噪声干扰,而主要的噪声干扰 频段范围在低于 50 Hz。因此,后续还需要通过软 件算法消除噪声信号对动态称重的精度影响。



4 结论

本文为实现多通道汽车动态称重信号采集,设 计了一款基于 FPGA 的压电式车辆动态称重传感器 的多通道高速数据采集系统,该系统可支持 16 通道 的信号采集,为更好地逼近动态称重的原始信号,采 用了 16 位、1 MSPS 的 AD 转换器,可实现车辆以 0 到 120 km/h 行驶速度通过称重传感器、输出信号为 0~5 V 的电压信号采集。对于 16 通道的同步数据, 本文选用 2 个 2 G 的 DDR3 存储芯片用于实现数据 的存储,并通过双 DDR3 之间的乒乓操作实现数据 的同时传输和存储。上位机系统通过高速 PCIe 总 线实现与 FPGA 的数据传输。经过试验验证,该信 号采集系统能够满足所设计的指标要求。

参考文献:

 [1] 董海芬. 基于公路超限超载运输的破坏分析[J]. 科技 经济导刊,2020,28(19):67-68.



陈 建(1995—),男,西安理工大学仪 器科学与技术专业硕士研究生,主要 从事信号与信息处理、单片机与嵌入 式系统技术、智能仪器的开发和研究, 604580362@qq.com;

- [2] 鲁新光,申东滨,李平,等. 一文读懂动态称重[J]中国 公路,2020(10):46-48.
- [3] 王建军,鲁新光,刘硕,等. 公路治超必须从动态称重 抓起[J]. 衡器,2020,49(4):5-6,22.
- [4] 张驰,马京辉. 动态称重系统及在北海市向海大道的 应用研究[J]. 中国市政工程,2019(5):71-74,110.
- [5] 王玲. 车辆动态称重系统数据采集与处理的研究[D]. 沈阳:东北大学,2008.
- [6] 杨林楠,李红刚,张丽莲,等. 基于 FPGA 的高速多路 数据采集系统的设计[J]. 计算机工程,2007,33(7): 246-248.
- [7] Imrek J, Novak D, Hegyesi G, et al. Development of an FPGA-Based Data Acquisition Module for Small Animal PET[J]. IEEE Transactions on Nuclear Science, 2006, 53 (5):2698-2703.
- [8] Yang C G, Zheng W, Zhang M H, et al. A Real-Time Data Acquisition and Processing Framework Based on Flex RIO FPGA and ITER Fast Plant System Controller [J]. IEEE Transactions on Nuclear Science, 2016, 63 (3): 1715-1719.
- [9] 宋海龙,汪勇,李昊东,等. 压电材料及压电效应的应 用[J]. 硅谷,2014,7(23):107-108.
- [10] 阎瑾瑜. 压电效应及其在材料方面的应用[J]. 数字技 术与应用,2011(1):100-101.
- [11] 张军,韩煜,任宗金,等. 含籽晶石英晶组的压电效率 研究[J]. 传感器与微系统,2020,39(6):18-20,25.
- [12] Gu Y, Li Q, Xu B J, et al. Vibration Analysis of a New Polymer Quartz Piezoelectric Crystal Sensor for Detecting Characteristic Materials of Volatility LiquidVibration Analysis of a New Polymer Quartz Piezoelectric Crystal Sensor for Detecting Characteristic Materials of Volatility Liquid[J]. Chinese Physics B,2014,23(1):452-457.
- [13] Jia Z X, Fu K Y, Lin M X. Tire-Pavement Contact-Aware Weight Estimation for Multi-Sensor WIM Systems [J]. Sensors(Basel, Switzerland), 2019, 19(9):2027.



于殿泓(1964—),男,工学博士/博士 后,教授,硕士生导师。主要研究方向 为传感技术与智能仪器、精密机电系 统与仪器、智能信息处理方法与技术, yudh@ xaut.edu.cn。