

一种超低温漂低功耗全 CMOS 基准电压源

周 茜, 邓进丽, 岳宏卫, 朱智勇, 龚全熙, 孙晓菲

(桂林电子科技大学 广西精密导航技术与应用重点实验室, 广西 桂林 541004)

摘 要: 提出了一种超低温漂、低功耗亚阈值全 CMOS 基准电压源。利用工作在亚阈值区的 3.3 V MOS 管与 1.8 V MOS 管的栅源电压差, 产生具有负温度系数的 ΔV_{TH} 和具有正温度系数的 V_T , 经过相互调节, 得到与温度无关的基准电压。采用了共源共栅电流镜, 以降低电源抑制比 (PSRR) 和电压调整率。基于 SMIC 0.18 μm CMOS 工艺对电路进行了仿真。仿真结果表明, 在 $-22\text{ }^{\circ}\text{C} \sim 142\text{ }^{\circ}\text{C}$ 温度范围内, 温度系数为 $2.8 \times 10^{-6}/^{\circ}\text{C}$; 在 1.3~3.3 V 电源电压范围内, 电压调整率为 0.48%; 频率为 100 Hz 时, PSRR 为 -62 dB; 功耗仅为 191 nW, 芯片面积为 0.005 mm^2 。

关键词: 基准电压源; 超低温漂; 低功耗; 亚阈值; 共源共栅电流镜

中图分类号: TN432

文献标识码: A

文章编号: 1004-3365(2017)06-0769-05

An Ultra Low Temperature Coefficient and Low Power CMOS-Only Voltage Reference

ZHOU Qian, DENG Jinli, YUE Hongwei, ZHU Zhiyong, GONG Quanxi, SUN Xiaofei

(Guangxi Key Lab. of Precision Navigation Technol. & Applic., Guilin Univ. of Elec. Technol., Guilin, Guangxi 541004, P. R. China)

Abstract: A CMOS-only voltage reference based on subthreshold with ultra low temperature coefficient and low power was presented. Some 1.8 V transistors and 3.3 V transistors were utilized to generate ΔV_{TH} and V_T with opposite temperature coefficients, which were used to produce the reference voltage that was independent with temperature. Some cascode current mirrors were used to reduce the power supply rejection ratio (PSRR) and the line regulation of the circuit. The proposed circuit was designed in SMIC 0.18- μm CMOS process. The simulated results demonstrated that the temperature coefficient of the voltage was $2.8 \times 10^{-6}/^{\circ}\text{C}$ in a temperature range from $-22\text{ }^{\circ}\text{C}$ to $142\text{ }^{\circ}\text{C}$, the line regulation was 0.48% in a supply voltage range of 1.3 V to 3.3 V, and the PSRR was -62 dB at 100 Hz. The power dissipation was 191 nW, and the chip area was 0.005 mm^2 .

Key words: Voltage reference source; Ultra low temperature coefficient; Low power dissipation; Subthreshold; Cascode current mirror

0 引 言

随着知识经济全球化和信息化的到来, 集成电路(IC)变得越来越重要, 已成为人们生活、信息安全和国民经济的战略性、基础性的产业。带隙基准电

压源因具有与温度、电源电压、制造工艺的相关性很小的特点, 成为模拟 IC 和数模混合 IC(如集成稳压器、低温漂放大器、温度传感器、A/D 转换器和 D/A 转换器)不可缺少的单元之一^[1-6]。基准电压源的温度稳定性、基准电压精度、抗干扰能力等参数直接影响着整个系统的性能。因此, 设计高性能带隙基准

收稿日期: 2017-01-04; 定稿日期: 2017-03-29

基金项目: 国家自然科学基金资助项目(11264009, 61465004); 广西区教育厅高校科研资助项目(YB2014135); 桂林电子科技大学研究生教育创新计划资助项目(YJXCS201514, 2016YJX92)

作者简介: 周 茜(1966—), 女(汉族), 广西桂林人, 在职研究生, 讲师, 研究方向为集成电路设计与芯片测试。

岳宏卫(1967—), 男(汉族), 广西贺州人, 副教授, 研究方向为集成电路设计与毫米波源和微纳器件。通讯作者, E-mail: guetyhw@163.com。

电压源具有重要意义。

随着 SOC 技术应用,特别是便携式电子产品市场的迅速发展,对基准电压源提出了更高的要求。电源电压要随 CMOS 工艺特征尺寸的不断缩小而减小,使得基准电压源研究更加关注 MOSFET 的亚阈值区导电特性。亚阈值区 CMOS 基准电压源已成为近年来的研究热点^[7-9]。基于 CMOS 亚阈值区 I - V 特性,本文提出了一种超低温漂、低功耗、高电源抑制比的基准电压源。

1 本文提出的基准电压源

本文提出的全 CMOS 超低温漂、低功耗基准电压源的结构如图 1 所示,包含启动电路、基准电流产生电路、基准电压产生电路三个模块。表 1 所示为该基准电压源的器件参数, W/L 表示 MOS 管的宽长比。

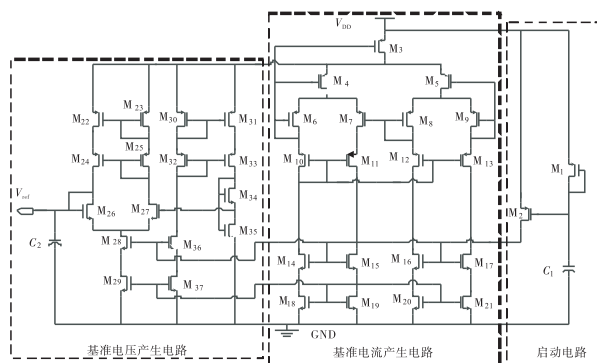


图 1 本文提出的基准电压源结构

表 1 基准电压源电路参数

MOS 管	W/L	MOS 管	W/L
M4	0.22/10	M9	18/2
M5	0.22/10	M26	0.5/2
M6	4/2	M27	20/10
M7	18/2	M34	7/2
M8	4/2	M35	5/2

1.1 启动电路

M1 管的栅极与漏极相接,相当于一个电阻。当电路上电时,电源通过 M1 管向电容 C_1 充电,此时电容的上极板电压为低电平,M2 管导通,将电流注入到基准电流产生电路中,摆脱简并偏置点。当电源向电容充电完成后,电容的上极板电压为高电平,使得 M2 管截止,启动电路与基准源脱离,完成启动过程。

1.2 基准电流产生电路

MOS 管 M3, M4, M5 和 MOS 管 M4, M6, M7 以及 MOS 管 M5, M8, M9 构成三对差分耦合对,以增大基准电压源的电源抑制比。M4 与 M5 管工作在饱和区,M6~M9 管工作在亚阈值区。MOS 管工作在饱和区的 I - V 特性可表示为^[10]:

$$I_D = \frac{\mu C_{OX}}{2} K (V_{GS} - V_{TH})^2 \quad (1)$$

式中, I_D 是 MOS 管的漏极电流; $K = W/L$, 是 MOS 管的宽长比; $\mu = \mu_0 (T_0/T)^m$, 是 MOS 管的电子迁移率, T_0 是参考温度, μ_0 是参考温度 T_0 下的电子迁移率, T 是绝对温度, m 是温度指数; $C_{OX} = \epsilon_{OX}/t_{OX}$, 是栅氧化层电容, ϵ_{OX} 是氧化物介电常数, t_{OX} 是氧化层厚度; V_{GS} 是 MOS 管的栅源电压。由 (1) 式可以得到 MOS 管工作在饱和区的栅源电压:

$$V_{GS} = V_{TH} + \sqrt{2I_D/(\mu C_{OX}K)} \quad (2)$$

M4, M5 管的栅源电压差可表示为:

$$\Delta V_p = V_{GS4} - V_{GS5} = \sqrt{2I_D/(\mu_p C_{OX})} \times (\sqrt{1/K_4} - \sqrt{1/K_5}) \quad (3)$$

M4, M5 管的的栅源电压差也可表示为 M6, M7 管的栅源电压差与 M8, M9 管的栅源电压差之和。MOS 管工作在亚阈值区的 I - V 特性可表示为^[11]:

$$I_D = I_0 K \exp \frac{V_{GS} - V_{TH}}{\eta V_T} \left[1 - \exp\left(-\frac{V_{DS}}{V_T}\right) \right] \quad (4)$$

式中, $I_0 = \mu C_{OX}(\eta - 1)V_T^2$, 为特征电流。其中, η 是亚阈值区斜率因子; V_T 是热电压, $V_T = k_B T/q$; k_B 是玻尔兹曼常数, q 是电子电荷。当 $V_{DS} > 3V_T$ 时,可以忽略 V_{DS} 的影响,(4)式则简化为^[12]:

$$I_D = KI_0 \exp \frac{V_{GS} - V_{TH}}{\eta V_T} \quad (5)$$

利用(5)式的 MOS 管亚阈值区 I - V 特性,可得 MOS 管的栅源电压:

$$V_{GS} = V_{TH} + \eta V_T \ln \frac{I_D}{K \cdot I_0} \quad (6)$$

因此, ΔV_p 可以用另一种形式来表示:

$$\Delta V_p = V_{GS6} - V_{GS7} + V_{GS8} - V_{GS9} = \eta V_T \times \ln \frac{K_7}{K_6} + \eta V_T \ln \frac{K_9}{K_8} = \eta V_T \ln \left(\frac{K_7}{K_6} \times \frac{K_9}{K_8} \right) \quad (7)$$

联合(3)式和(7)式,可求得基准电流源的基准电流 I ,即漏极电流 I_D 为:

$$I = I_D = \frac{\mu_p C_{OX} K_5}{2(N-1)^2} \times \left[\eta V_T \ln \left(\frac{K_7}{K_6} \times \frac{K_9}{K_8} \right) \right]^2 \quad (8)$$

式中, $N = \sqrt{K_5/K_4}$ 。将 $\mu = \mu_0(T_0/T)^m$ 代入(8)式,可得 I 与绝对温度 T 之间的关系:

$$I = \mu_p V_{T1}^2 \times \frac{C_{OX} K_5}{2(N-1)^2} \times \left[\eta \ln \left(\frac{K_7}{K_6} \times \frac{K_9}{K_8} \right) \right]^2 = \mu_{p0} V_{T0}^2 \times \frac{C_{OX} K_5}{2(N-1)^2} \times \left[\eta \ln \left(\frac{K_7}{K_6} \times \frac{K_9}{K_8} \right) \right]^2 \times \left(\frac{T}{T_0} \right)^{2-m} \quad (9)$$

从(9)式可知,在基准电流的表达式中,只有最后一项是与温度相关的项,且 m 是一个介于 1.5~2 之间的常数,指数因子 $2-m$ 的值很小,因此,基准电流表现出良好的温度特性。

1.3 基准电压产生电路

M26, M27, M34 管为 1.8 V 的 MOS 管, M36 管为 3.3 V 的 MOS 管。这些 MOS 管均工作在亚阈值区,输出基准电压 V_{ref} 为:

$$V_{ref} = V_{GS26} - V_{GS27} + V_{GS35} - V_{GS34} \quad (10)$$

进一步推导,可得:

$$V_{ref} = V_{TH26} - V_{TH27} + V_{TH35} - V_{TH34} + \eta V_T \ln \frac{K_{27} K_{34} t_{OX,26} t_{OX,35}}{K_{26} K_{35} t_{OX,27} t_{OX,34}} = \Delta V_{TH} + \eta V_T \ln \frac{K_{27} K_{34} t_{OX,26} t_{OX,35}}{K_{26} K_{35} t_{OX,27} t_{OX,34}} \quad (11)$$

(11)式中, ΔV_{TH} 表示阈值电压之差,阈值电压 V_{TH} 为:

$$V_{TH} = V_{TH0} - \kappa T \quad (12)$$

(12)式中, V_{TH0} 表示绝对温度为 0 K 时的阈值电压, κ 为 V_{TH} 的温度系数 ($\kappa = dV_{TH}/dT$), 因此 ΔV_{TH} 具有负温度系数。具有负温度系数的 ΔV_{TH} 和具有正温度系数的 V_T , 经过相互调节, 则可以得到与温度无关的输出基准电压 V_{ref} 。

V_{TH} 可以进一步表示为:

$$V_{TH} = -\frac{E_g}{2q} + \phi_B + \frac{\sqrt{4\epsilon_{Si} q N_A \phi_B}}{C_{OX}} \quad (13)$$

式中, $\phi_B = V_T \ln(N_A/n_i)$, ϵ_{Si} 表示硅衬底的相对电介质常数, N_A 为衬底掺杂浓度, n_i 为本征载流子浓度, E_g 为带隙能量, ϕ_B 为费米能级势能与本征能级势能之差。联立(12)式和(13)式,可得 V_{TH} 的温度系数 κ 为:

$$\kappa = -(2\eta - 1) \frac{k_B}{q} \times \left(\ln \frac{\sqrt{N_c N_v}}{N_A} + \frac{3}{2} \right) + \frac{\eta - 1}{q} \times \frac{dE_g}{dT} \quad (14)$$

(14)式中, N_c 为导带的有效态状态密度, N_v 为价带的有效态状态密度。忽略体效应,基准电压的

温度系数为:

$$\left. \frac{dV_{ref}}{dT} \right|_{T_0} = \frac{t_{OX,26} t_{OX,35} - t_{OX,27} t_{OX,34}}{\epsilon_{OX}} \times \sqrt{\frac{2N_A \epsilon_{Si} q^2}{2k_B T_0 \ln(N_A/\sqrt{N_c N_v}) + E_g}} \times \ln \frac{N_A}{\sqrt{N_c N_v}} \times \frac{k_B}{q} + \frac{\eta k_B}{q} \times \ln \frac{K_{27} K_{34} t_{OX,26} t_{OX,35}}{K_{26} K_{35} t_{OX,27} t_{OX,34}} \quad (15)$$

令(15)式等于零,则可确定输出基准电压的温度系数为零时,相关 MOS 管的宽长比为:

$$\frac{K_{27} K_{34}}{K_{26} K_{35}} = \frac{t_{OX,27} t_{OX,34}}{t_{OX,26} t_{OX,35}} \times \exp \left[\frac{t_{OX,26} t_{OX,35} - t_{OX,27} t_{OX,34}}{\eta \epsilon_{OX}} \right] \times \sqrt{\frac{2N_A \epsilon_{Si} q^2}{2k_B T_0 \ln(N_A/\sqrt{N_c N_v}) + E_g}} \times \ln \frac{\sqrt{N_c N_v}}{N_A} \quad (16)$$

通过对比 $K_{27} K_{34}/K_{26} K_{35}$ 的值,再仔细调整,就可获得温度系数接近于零的参考电压。调节电容 C_2 可以提高电源抑制比。

2 版图设计与电路仿真

本文利用 Cadence 对电路进行了仿真,采用 SMIC 1P6M 0.18 μm CMOS 工艺进行版图设计。该基准电压源的版图如图 2 所示,芯片面积仅为 0.005 mm^2 。

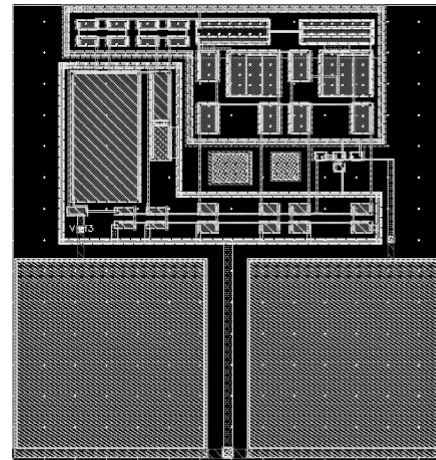


图2 本文的带隙基准源版图

基准电压源的温度仿真曲线如图 3 所示。电源电压为 1.8 V,温度范围为 $-22^\circ\text{C} \sim 142^\circ\text{C}$ 。可以看出,输出参考电压的平均值为 309.65 mV,温度引起的偏差为 0.14 mV,温度系数为 $2.8 \times 10^{-6}/^\circ\text{C}$ 。

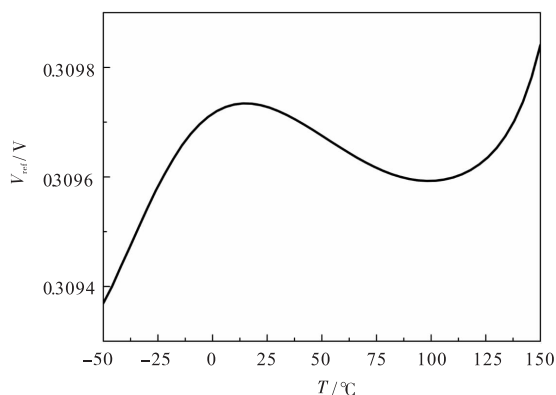


图3 温度仿真曲线

基准电压源的电压调整率仿真曲线如图4所示。在环境温度为27℃,电源电压从1.3到3.3V变化时,输出的参考电压变化为3mV,电压调整率为0.48%。

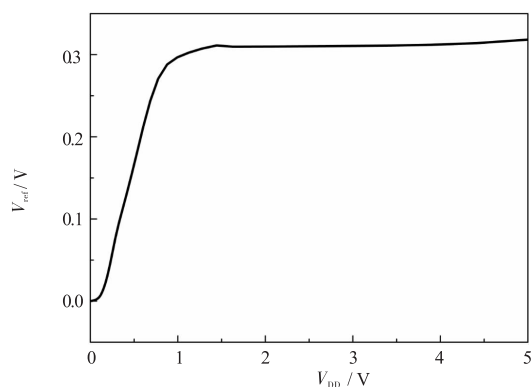


图4 电压调整率仿真曲线

基准电压源的电源抑制比仿真曲线如图5所示。可以看出,频率为100Hz时,电源抑制比为-62dB。在频率较高(10~100MHz)时,电源抑制比稳定在-68dB。因此,本文的基准电压源具有良好的电源噪声抑制性能。

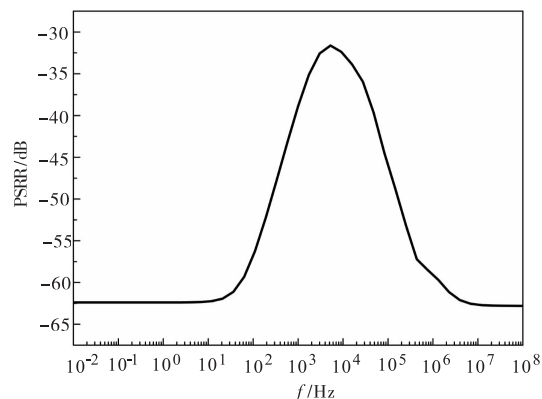


图5 电源抑制比仿真曲线

在该基准电压源的设计中,将功耗与其他参数进行了折中,以满足每个单元电路相应的功耗要求,实现了低功耗设计。当电源电压为1.8V时,功耗仅为191nW。

表2所示为本文与其他文献中基准电压源的参数比较。可以看出,本文的基准电压源在相对较宽的温度范围内具有很好的温度特性,供电电压范围较宽,对电源噪声的抑制能力强,功耗仅为nW量级。因此,相对于其他文献,本文电路在以上几方面有着明显的优势,但电源电压调整率相对偏高。

表2 本文与其他文献中基准电压源的参数比较

电路特性	文献[2]	文献[5]	文献[6]	文献[8]	文献[9]	本文
工艺/ μm	0.35	0.09	0.35	0.18	0.13	0.18
供电电压/V	2.5	>1.15	1.3~4	1.8	1.2	1.3~3.3
芯片面积/ mm^2	0.102	0.028	-	-	-	0.005
温度系数/ $(\times 10^{-6}/^\circ\text{C})$	13.7	43.5	13.4	50	240	2.8
电压调整率/ $(\% \cdot \text{V}^{-1})$	0.039	0.30	0.27	0.3	-	0.48
电源抑制比/ $\text{dB}@100\text{Hz}$	-	-	-39	-40	-	-62
功耗/nW	95 000	576	>185	2 100	900	191

3 结 论

本文提出了一种高精度全 CMOS 基准电压源,不含三极管和电阻,减小了芯片面积,节约了成本。电路采用 SMIC 0.18 μm CMOS 工艺实现,并进行了仿真验证。结果表明,该基准电压源在 1.3~3.3

V 电源电压范围内能稳定工作;在 1.8 V 电源电压、 $-22^\circ\text{C} \sim 142^\circ\text{C}$ 温度范围内,温度系数为 $2.8 \times 10^{-6}/^\circ\text{C}$;当频率为 100 Hz 时,电源抑制比为 -62 dB;电路功耗仅为 191 nW。该基准电压源电路具有高精度、超低温漂、超低功耗的特点,可广泛应用于节能应用型移动电子设备领域。

参考文献:

- [1] SERGIO S. Integrated bandgap voltage reference for high voltage vehicle applications [J]. J Circ Syst & Comput, 2015, 24(8): 1550125.
- [2] ANDREOU C M, KOUDOUNAS S, GEORGIOU J. A novel wide-temperature-range, 3.9 ppm/°C CMOS bandgap reference circuit [J]. IEEE J Sol Sta Circ, 2012, 47(2): 574-581.
- [3] 谭玉麟, 冯全源. 一种4阶曲率补偿低温漂低功耗带隙基准源 [J]. 微电子学, 2016, 46(1): 34-37.
- [4] SU K, GONG M, QI H B, et al. A multiple transistor combination low-voltage curvature-corrected bandgap reference [J]. J Semicond, 2013, 34(6): 152-156.
- [5] LEE K K, LANDE T S, HÄFLIGER P D. A sub- μ W bandgap reference circuit with an inherent curvature compensation property [J]. IEEE Trans Circ & Syst I: Regu Pap, 2015, 62(1): 1-9.
- [6] YAN W, LI W, LIU R. A 150-nA 13.4-ppm/°C switched capacitor CMOS sub-bandgap voltage reference [J]. J Semicond, 2011, 32(32): 155-160.
- [7] WANG H L, ZHANG X X, DAI Y J, et al. A low-voltage low-power CMOS voltage reference based on subthreshold MOSFETs [J]. J Semicond, 2011, 32(8): 118-121.
- [8] MADDIKATLA S K, JANDHYALA S. An accurate all CMOS bandgap reference voltage with integrated temperature sensor for IoT applications [C] // IEEE Comput Society Annu Symp VLSI. Pittsburgh, PA, USA. 2016: 524-528.
- [9] SANGOLLI S S, ROHINI S H. Design of low voltage bandgap reference circuit using subthreshold MOSFET [C] // IEEE 5th Nirma Univ Int Conf Engineer. Gujarat, India. 2015: 1-6.
- [10] RAZAVI B. 模拟CMOS集成电路设计 [M]. 陈贵灿, 程军, 张瑞智, 等译. 西安: 西安交通大学出版社, 2003: 13-20.
- [11] HIROSE T, UENO K, KUROKI N, et al. A CMOS bandgap and sub-bandgap voltage reference circuits for nanowatt power LSIs [C] // IEEE Asian Conf Sol Sta Circ. Beijing, China. 2010: 1-4.
- [12] OSAKI Y, HIROSE T, KUROKI N, et al. 1.2-V supply, 100-nW, 1.09-V bandgap and 0.7-V supply, 52.5-nW, 0.55-V subbandgap reference circuits for nanowatt CMOS LSIs [J]. IEEE J Sol Sta Circ, 2013, 48(6): 1530-1538.
- (上接第768页)
- [8] LI Y, YUN T H, WU J H, et al. A CMOS low-distortion variable gain amplifier with exponential gain control [C] // IEEE Asian Sol Sta Circ Conf. Hangzhou, China. 2006: 375-378.
- [9] YUN T H, WU J H, SHI L X. A novel CMOS exponential voltage generator based on differential pair's transfer characteristic [C] // Int Conf Commun Circ & Syst. Brussels, Belgium. 2005: 27-30.
- [10] DUONG Q H, LI Q, LEE S G. An all CMOS 84 dB-linear low-power variable gain amplifier [C] // Symp VLSI Circ. Kyoto, Japan. 2005: 114-117.
- [11] DUONG Q H, QUAN L, KIM C W, et al. A 95-dB linear low-power variable gain amplifier [J]. IEEE Trans Circ & Syst I: Regu Pap, 2006, 53(8): 1648-1657.
- [12] LEI Q Q, CHEN Z M, SHI Y, et al. A low-power CMOS VGA with 60-dB linearly controlled gain range for GPS application [C] // Intl Conf Sol Sta & Integr Circ Technol. Beijing, China. 2008: 1669-1672.