

doi:10.3969/j.issn.1001-893x.2014.04.017

引用格式:张峰. 自适应动态延时调整的 SERDES 技术在宽带数据传输中的应用[J]. 电讯技术,2014,54(4):468-471. [ZHANG Feng. Application of Adaptive Dynamic Delay Adjustment SERDES Technology in Wideband Link Data Transmission[J]. Telecommunication Engineering, 2014,54(4):468-471.]

自适应动态延时调整的 SERDES 技术在 宽带数据传输中的应用*

张 峰**

(中国西南电子技术研究所,成都 610036)

摘 要:针对宽带高速数传需求,提出了一种基于 SERDES 技术实现高速传输的解决方法。通过对串行器/解串器(SERDES)原理进行研究,提出了一种利用 Idelay 原语实现 SERDES 延时的自适应动态调整方法,可动态调整延时2.496 ns,解决了 SERDES 传输时固有的相位漂移问题。实验结果表明,基于 SERDES 技术,可实现 60 个通路、每路850 Mb/s 的传输速度,满足了项目需求,且易于移植,对于高速、多路数传系统设计有参考意义。

关键词:机载设备;宽带数传;SERDES;Idelay 原语;自适应动态延时调整

中图分类号:TN911.73 **文献标志码:**A **文章编号:**1001-893X(2014)04-0468-04

Application of Adaptive Dynamic Delay Adjustment SERDES Technology in Wideband Link Data Transmission

ZHANG Feng

(Southwest China Institute of Electronic Technology, Chengdu 610036, China)

Abstract: According to the requirement of airborne equipment in wideband communication data link, the serial SERDES transmission technology is researched and an implementation of SERDES is proposed. Based on the Idelay primitives, an adaptive dynamic delay adjustment method is advanced, which eliminates 2.496 ns time skew between several SERDES lanes within 32 ns. The experiment result shows that the method can achieve a data transmission speed of 850 Mb/s/Lane of 60 lanes, which satisfies the real project requirement and is transplantable. The research in this paper provides a good example for design of other high-speed multilane data transmission systems.

Key words: airborne equipment; wideband link data transmission; SERDES; Idelay primitive; adaptive dynamic delay adjustment

1 引 言

串行器/解串器(SERDES)传输技术广泛应用于机载通信终端高速数传系统中。传统设计方法为采用外置 DS92LV16 芯片^[1],实现并/串转换后进行板间数据传输,这种方法需占用宝贵的嵌入式管脚

资源,1 片 DS92LV16 至少需要 24 根信号线来传输 16 b 位宽信号,即采用 DS92LV16 芯片无法实现多路间数传,故基于 FPGA 片内的 SERDES 传输技术成为研究的热点。SERDES 作为 FPGA 中嵌入的一种原语(Primitive)结构,可代替传统的外置并/串转

* 收稿日期:2013-11-28;修回日期:2014-03-11 Received date:2013-11-28;Revised date:2014-03-11

** 通讯作者:zhangfeng1186@163.com Corresponding author:zhangfeng1186@163.com

换芯片,但受其固有的传输相位漂移影响,通常不能多路并行使用,限制了 SERDES 技术在宽带链中的应用。笔者通过对 SERDES 及 Idelay 的工作原理进行研究,提出了一种能够进行自适应动态延时调整的方法,克服了 SERDES 传输中的相位漂移问题,成功实现了 60 个 SERDES 通路、每路850 Mb/s的多路 SERDES 并行传输,且经过项目验证。

文中第 2 节简单介绍 SERDES 原语(Primitive)结构;第 3 节针对项目需求,提出基于 SERDES 传输的具体实现方案及自适应动态延时调整方法;第 4 节为实验结果,最后是结束语,给出结论及应用展望。

2 SERDES 原语简介

SERDES 原语为 FPGA 内的一种新型并/串转换技术,基于 LVDS 电平,利用 FPGA 的普通用户 IO 即可实现约1 Gb/s的高速传输,以代替传统的外置并/串转换芯片。K7(Kintex-7)系列 FPGA 中 SERDES 的发、收端分别称为 OSERDESE2、ISERDESE2,其原语结构分别如图 1 和图 2 所示。

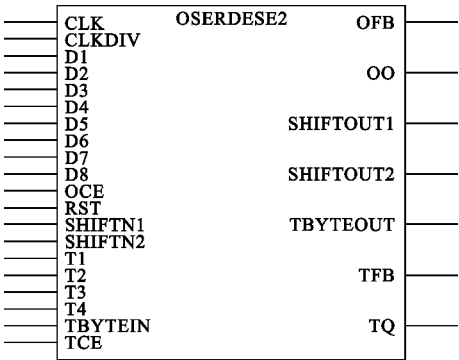


图 1 OSERDESE2 原语结构
Fig. 1 The structure of OSERDESE2 primitives

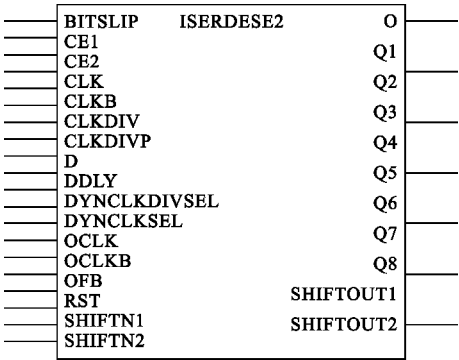


图 2 ISERDESE2 原语结构
Fig. 2 The structure of ISERDESE2 primitives

SERDES 传输参数属性如表 1 表示。

表 1 OSERDESE2/ISERDESE2 传输属性			
Table 1 The transmission attribute of OSERDESE2/ISERDESE2			
数据方式		数据位宽/b	
OSERDESE2	ISERDESE2	OSERDESE2	ISERDESE2
SDR	SDR	2/3/4/5/6/7/8	2/3/4/5/6/7/8
DDR	DDR	4/6/8/10/14	4/6/8/10/14

3 能够进行自适应动态延时调整的 SERDES 传输技术方案及难点分析

3.1 项目需求

宽带链某机载通信终端中,AD 采样子卡需要将 DDC 下变频后数据送给信号处理板,提出以下要求:一是传输通路分为 I/Q 二路,共 60 路;二是每路速率为384 Mb/s(12 b×32 MHz);

3.2 硬件方案

若采用传统的 DS92LV16 芯片实现,1 片 DS92LV16 至少需要 24 根信号线来传输16 b位宽信号,即 I 路或 Q 路,则 60 路数据共需要信号线数量为 60×24=1 440。鉴于目前 FPGA 最大管脚数目为 1 736,无法提供1 440个用户 IO,故采用 DS92LV16 芯片的方式行不通。

与 DS92LV16 芯片方式占用1 440个管脚不同,若采用 SERDES 原语传输下变频后 60 路 I/Q 基带数据,只需要 60 对普通用户 IO 即可,降低了 FPGA 的管脚压力,减少了 PCB 板面积需求(至少减少了 60 片 DS92LV16 芯片的面积),有利于在空间受限的机载环境中应用。

基于 SERDES 传输技术的系统架构如图 3 所示,其中发射端 OSERDESE2 位于 AD 子卡,而接收端 ISERDESE2 位于信号处理板内。

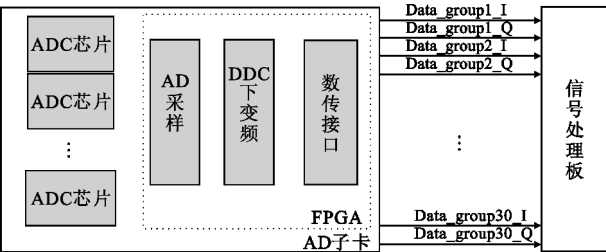


图 3 基于 SERDES 技术传输的系统框图
Fig. 3 The structure of SERDES transmission system

3.3 软件实现

3.3.1 时钟速率分析

DDC 下变频后数据速率为 32 MHz,即 OSER-

DESE2 的并行时钟为32 MHz,数据位宽为12 b。根据表 1 可知,必须将12 b数据低 2 位补 0 后,拼成 14 b进行数据传输,采用 DDR(Double Data Rate)双沿方式进行传输,则 OSERDESE2 的数据率为 448 Mb/s(14 b×32 MHz),相应的 ISERDESE2 的串行时钟、并行时钟分别为224 MHz和32MHz。

3.3.2 数据同步实现

假设发送端 OSERDESE2 连续发出4 b数据 (ABCDABCD……),接收端如何进行边界定位,确定4 b数据是 ABCD,而不是 BCDA、CDAB、DABC?

引入同步判决机制。在进行 SERDES 数据传输时,必须先建立链路同步,确定数据边界后,再发送正常数据。

假设接收端 ISERDESE2 接收到的数据为 BCDA,在 FPGA 中通过逻辑实现移位 bitslip 功能,其时序要求如图 4 所示。使 ISERDESE2 的并行数据输出端产生循环移位,则通过 3 次移位后,可正确接收数据 ABCD,移位过程如表 2 所示。

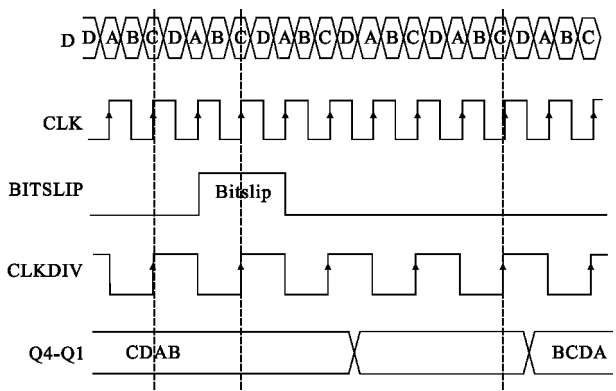


图 4 bitslip 时序要求
Fig.4 The timing requirement of bitslip

表 2 Bitslip 与数据移位关系

Table 2 The relationship between bitslip and data-shifting	
Bitslip 次数	输出数据
0	BCDA
1	CDAB
2	DABC
3	ABCD
4	—

待 60 路的 I/Q 数据都完成边界定位后,接收端发送同步完成信号给发送端后,发送端可正常发送 DDC 数据。

3.3.3 基于 Idelay 的自适应动态延时调整技术

由于 I 路及 Q 路基带数据传输所用的 60 个 SERDES 通路,分布在 FPGA 内不同的 Bank,其传输必然存在时序差异 (time skew),接收端恢复出原始

数据时,会出现毛刺,如图 5 所示 (正确数据为光滑的锯齿波)。

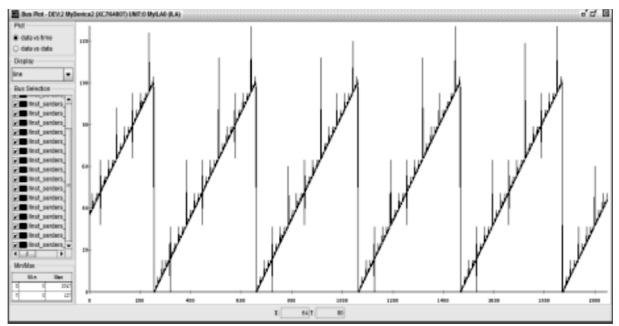


图 5 SERDES 错误数据接收
Fig.5 The error data received by SERDES

在经过多种时序约束及优化后,仍有少数 SERDES 不能正确接收数据,必须采用基于 Idelay 的延时调整,以消除时序差异。

Idelay 是 FPGA 中一种原语结构,用于调整接收数据的时延。K7 系列 FPGA 中每个 Idelay 分为 32 个时钟间隔 (tap),如图 6 所示,每个间隔的周期长度为78 ps,故其能调整的接收时延为2.496 ns。

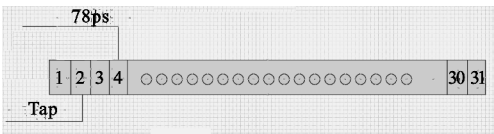


图 6 Idelay 时隙间隔结构
Fig.6 Idelay tap structure

采用 Idelay 调整时延,传统方式为通过实验手动调整 Tap 的数值,重新编译后下载,通过 Chipscope 观测数据与时钟的相位关系后,再进行反复修正,直至数据采样点刚好位于数据的中间,费时费力。为此,笔者提出了一种能够进行自适应的动态延时调整技术,它可以自动根据时钟和数据的相位关系,调整 Tap 的数值,最终将数据采样点放到数据的中间,避免了繁琐的手动调整 Tap 值,其原理如图 7 所示。

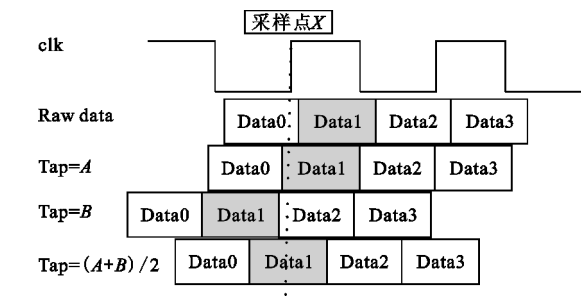


图 7 自适应动态延时调整原理
Fig.7 The adaptive dynamic delay adjustment

基本原理步骤如下:

(1) 设 Idelay 中的 Tap 的初始值为 0;

(2) 通过步进为 1, 增加 Tap 的值, 增加 ISERDESE2 接收的时延, 当检测到数据变化时(从 data0 变为 data1), 记录此时 Tap 的数值为 A;

(3) 继续增加 tap 的值, 再次检测到数据变化时(从 data1 变为 data2), 记录此时 Tap 的数值为 B;

(4) 设定 Tap 的数值为 $(A+B)/2$, 此时在采样点 X 时, 对应数据即为 Data1, 且在 data1 的中间。

这是软件实现的难点。

在采用了基于 Idelay 的自适应动态延时调整技术后, ISERDESE2 能够正确接收下变频后的 60 路的 I 路及 Q 路数据。

4 实验结果及分析

实验条件: PC 机配置为 Windows SP3, i5-2400 CPU@3.10 GHz, 3.2 GB 内存; ISE 版本为 14.5。

利用 FPGA 调试工具 chipscope, 观测 60 路数据, 接收端 ISERDESE2 可以 448 Mb/s 速度正确接收自 OSERDESE2 发出的数据, 完全消除了图 5 中的毛刺现象, 如图 8 所示。

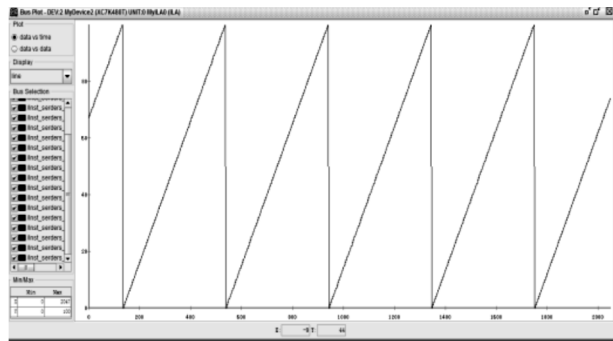


图 8 SERDES 正确数据接收

Fig. 8 The correct data received by SERDES

实验中, 采用基于 Idelay 的自适应动态延时调整技术后, 实测 SERDES 的传输速度进一步提高到了 850 Mb/s, 工程中所用 K7 系列 FPGA, 其速度均

为 -1 等级, 基本达到 Xilinx 公司标称的 900 Mb/s, 若采用 -3 速度等级的 FPGA, 则 SERDES 的传输速度将达到 1.2 Gb/s, 可满足绝大部分数据传输要求, 验证了笔者提出的自适应动态延时调整的 SERDES 传输技术的可行性及优越性。

5 结束语

SERDES 传输技术因其用 FPGA 普通的用户 IO 管脚实现了高速串行数据传输(速度可达 1 Gb/s), 非常适用于数据位宽 14 位以下的并/串转换、串/并转换, 避免了对传统并/串转换芯片如 DS92LV16 芯片的依赖。笔者提出的基于 Idelay 的自适应动态延时调整技术能动态调整 ISERDESE2 接收的时延, 使数据采样点恰好在数据中间, 解决了多路 SERDES 传输时固有的相位漂移问题, 增强了 SERDES 传输的稳定性。由于目前尚未发现运用基于 Idelay 的自适应动态延时调整技术实现多路 SERDES 传输的案例, 故进一步验证笔者提出的这种传输方案在苛刻环境的可靠性是下一步的研究工作。

参考文献:

[1] 马红艳, 张福欣, 尹哲春, 等. LVDS 技术在数字视频传输系统中的应用[J]. 电子设计工程, 2010, 18(7): 24-26.
MA Hong-yan, ZHANG Fu-xin, YIN Zhe-chun, et al. Application of LVDS in digital video transmission system [J]. Electronic Design Engineering, 2010, 18(7): 24-26. (in Chinese)

作者简介:



张 峰(1982—), 男, 山东东营人, 2011 年于中国科学院获博士学位, 现为工程师, 主要研究方向为高速总线传输、信号处理。
ZHANG Feng was born in Dongying, Shandong Province, in 1982. He received the Ph. D. degree from the Chinese Academy of Science in 2011. He is now an engineer. His research concerns high-speed bus transmission and signal processing.

Email: zhangfeng1186@163.com