# A New Low Temperature Drift Under-Voltage Protection Circuit Based on 0.25 µm BCD Process<sup>\*</sup>

GUO Min<sup>1</sup>, WANG Lixin<sup>2</sup>, XIE Hongyun<sup>1\*</sup>, ZHANG Hongkai<sup>2</sup>, CUI Mengyao<sup>2</sup>, CHEN Runze<sup>2</sup>, LIU Xiancheng<sup>1</sup>

(1.Faculty of Information Technology, Beijing University of Technology, Beijing 100124, China;
 2.Institute of Microelectronics, Chinese Academy of Sciences, Beijing 100029, China)

Abstract: A novel under-voltage lockout circuit with simple structure and low temperature sensitivity is proposed. This circuit avoids the reference voltage generation module and the comparator circuit of the traditional under-voltage lockout circuit, but uses the bandgap reference structure and high-order temperature compensation to reduce the variation of threshold voltage and hysteresis voltage with temperature, thereby improving the independence and stability of the UVLO circuit. Based on the 0.25  $\mu$ m BCD process design, the new under-voltage lockout circuit has a chip area of 0.04 mm<sup>2</sup> and a power consumption of 0.14 mW. The rising threshold is 8.625 V, the falling threshold is 8.146 V, and the amount of hysteresis is 0.479 V at 25 °C, which shows that this circuit can meet the application requirements of power management chips. Within the temperature range of -40 °C ~ 125 °C, the maximum change of threshold voltage and hysteresis voltage are 53 mV and 50 mV respectively, which indicates that the proposed under-voltage lockout circuit has low temperature drift characteristics.

Key words: under-voltage lockout; hysteresis; threshold voltage; the high-order temperature compensation; low temperature drift

EEACC; 2570 doi; 10.3969/j.issn.1005-9490.2022.06.006

# 基于 0.25 μm BCD 工艺的一种新型 低温漂欠压保护电路\*

郭 敏<sup>1</sup>,王立新<sup>2</sup>,谢红云<sup>1\*</sup>,张洪凯<sup>2</sup>,崔梦瑶<sup>2</sup>,陈润泽<sup>2</sup>,刘先程<sup>1</sup> (1.北京工业大学信息学部,北京 100124;2.中国科学院 微电子研究所,北京 100029)

**摘 要:**提出了一种结构简单并且具有低温度敏感性的新型欠压保护电路。该电路避免了传统欠压保护电路的基准电压产生 模块和比较器模块,利用带隙基准结构和高阶温度补偿的方法减小阈值电压和迟滞电压随温度的变化量,提高了 UVLO 电路的 独立性和可靠性。基于 0.25 µm BCD 工艺设计实现的新型欠压保护电路芯片面积为 0.04 mm<sup>2</sup>,功耗为 0.14 mW。在温度为 25 ℃时,新型欠压保护电路的上升阈值为 8.625 V,下降阈值为 8.145 V,迟滞量为 0.48 V,能够满足电源管理芯片的应用要求。在-40 ℃~125 ℃温度变化范围内,该电路的阈值电压和迟滞电压的最大变化量分别为 53 mV 和 50 mV,具有低温度漂移特性。 关键词:欠压保护;迟滞;阈值电压;高阶温度补偿;低温漂

中图分类号;TN433 文献标识码;A 文章编号;1005-9490(2022)06-1307-05

集成电路技术的发展使得电源管理芯片被广泛 应用于智能手机、医疗仪器、汽车电子等多个领域。 为了保证电源管理芯片具有高可靠性,保护电路的 设计是必不可少的<sup>[1]</sup>。当芯片在电源电压低于正 常工作范围时运行,芯片中的部分电路可能会不能 正常工作,由此导致电路逻辑功能错误,更重要的是 可能会造成芯片的损坏<sup>[2]</sup>。因此欠压(UVLO)保护 电路是电源管理芯片中非常重要的组成部分。当供 电电压低于保护阈值门限时,UVLO电路会将芯片 中的其他模块关断,避免芯片发生损坏,减少不必要 的功耗<sup>[3]</sup>。同时,UVLO电路还带有一定的迟滞量, 避免芯片由于电源电压的波动而反复开断。

**项目来源**:国家自然科学基金项目(61604106,61774012,61901010);北京市自然科学基金项目(4192014) 收稿日期:2021-02-01 修改日期:2021-03-24 传统的 UVLO 电路通常需要一个基准电压产生 电路和一个电压比较器<sup>[4]</sup>,基准电压产生电路输出 的稳定电压和电源电压在电压比较器中进行比较, 实现电路功能,电路复杂,独立性和稳定性较差,且 版图面积较大。本文基于 0.25 μm BCD 工艺设计 了一种不需要基准电压产生电路和电压比较器的新 型欠压保护电路,采用带隙基准结构进行电流比较, 完成检测电源电压变化的功能,同时结合带隙基准 结构和高阶温度补偿法减小阈值电压和迟滞电压随 温度的变化量,电路简单,且具有更高的独立性和可 靠性。并且电路版图面积较小、功耗较低。

# 1 新型低温漂欠压保护电路设计

传统的欠压保护电路如图1所示,包含一个基 准电压产生电路和一个电压比较器<sup>[4]</sup>。该电路利 用电阻分压的方式获取电源采样电压,将采样电压 和基准电压产生电路的输出进行比较,从而检测电 源电压的变化。

 $V_{cc}$ 是需要检测的电源电压,通过电阻  $R_1 \ R_2 \ R_f$ 的分压得到的采样电压  $V_1$ 与基准电压产生电路的输出  $V_{ref}$ 作比较,判断电路是否达到翻转阈值电压。由 M1 管的反馈信号控制  $R_f$ 是否短路,实现一定的迟滞 效应,从而避免  $V_{cc}$ 电压由于抖动引起的误触发。



#### 图1 传统欠压保护架构图

尽管传统的 UVLO 电路结构成熟、原理简单,但 是传统的欠压保护电路依赖基准电压产生模块和电 压比较器,电路的独立性较差且功耗较大<sup>[5]</sup>;这类 欠压保护电路容易受到基准电压产生电路的干扰, 因此需要设计抗干扰能力大的比较器或增加额外的 电路模块来增强电路的抗干扰能力,电路结构比较 复杂,电路面积过大<sup>[6]</sup>。

图 2 所示为本文提出的新型欠压保护电路,该电路由三极管 Q1~Q3, MOS 管 MP0~MP7、MN1~

MN5,电阻  $R_0 \sim R_4$  组成,其中, $R_0 \propto R_1 \propto R_2$  构成电源电 压  $V_{cc}$ 的采样电路。晶体管 Q1、Q2、MP1、MP2 和电 阻  $R_3 \propto R_4$  构成带隙基准结构<sup>[7]</sup>,完成电流比较功 能。NPN 晶体管 Q3 连接成二极管形式,对电路进 行高阶温度补偿。带隙基准结构结合高阶温度补偿 实现电路的低温度漂移特性。Q1、Q2 的基极电位 是电阻  $R_2$  上的电压降  $V_{ref}$ 。MP6 和 MN3, MP7 和 MN4 组成两个反相器, MOS 管 MP3~MP5 及 MN1~ MN3 与两个反相器组成电路的输出级,提供滞回信 号,并且起整形作用。



#### 图 2 新型的欠压保护电路图

## 2 核心电路工作原理

#### 2.1 带隙基准比较原理

在带隙基准比较结构中,令晶体管 Q1 和 Q2 的 发射结面积之比为1:8,则 Q1、Q2 的跨导分别为:

$$G_{m1} = \frac{g_{m1}}{1 + g_{m1}R_4} \tag{1}$$

$$G_{m2} = \frac{g_{m2}}{1 + g_{m2}(R_4 + R_3)} = \frac{g_{m1}}{1 + g_{m1}R_4 + g_{m1}R_3 + \frac{1}{8} - 1}$$
(2)

通常  $g_{m1}R_4 \ge 1$ ,因此  $G_{m1} > G_{m2}$ 。流过晶体管 Q2 上的集电极电流  $I_{c2}$ 随采样电压 Vs 的变化相对于晶 体管 Q1 上的集电极电流  $I_{c1}$ 变化小。因此,带隙基 准比较的工作原理是根据 Q1 和 Q2 集电极电流变 化率的不同,比较电流  $I_{c1}$ 和  $I_{c2}$ 。

电源电压 *V*<sub>pp</sub> 从低电压开始逐渐上升的过程中,电路会发生三种状态的变化:

①当电源电压  $V_{DD}$  还未达到正常供电电压时, 由于晶体管 Q1 的跨导小于 Q2,因此, $I_{e1}$ 小于  $I_{e2}$ 。 晶体管 MP1 和 MP2 宽长比的比例为 1:1, $I_{e2}$ 通过电 流镜 MP1 和 MP2 在 MP2 上产生一个与  $I_{e2}$ 相等的 电流  $I_{D2}$ ,因此  $I_{e1}$ 小于  $I_{D2}$ ,晶体管 MP2 的漏端电压 为高电平,经过输出级后得到 UVLO\_OUT 为低电 平,整个芯片处于关断状态。

②当 V<sub>DD</sub>继续升高达到开启阈值电压 V<sub>DDH</sub>时,
 电压 V<sub>ref</sub>和采样电压 Vs 相等,流过晶体管 Q1 和 Q2

的集电极电流基本相等,即 $I_{cl} = I_{c2}$ 。此时流过电阻  $R_3$ 的电流可以表示为:

$$I_{R3} = I_{C2} = \frac{V_{BE1} - V_{BE2}}{R_3}$$
(3)

由集电极电流公式:

$$I_c = I_s \exp\left(\frac{V_{\text{BEI}}}{V_T}\right) \tag{4}$$

可得,

$$V_{\rm BE} = V_T \ln \frac{I_C}{I_s} \tag{5}$$

由此可以得出:

$$I_{C2} = \frac{V_T \ln 8}{R_3}$$
 (6)

在该带隙基准比较器结构中,Q1 和 Q2 的基极 电压 V<sub>ref</sub>为:

$$V_{\rm ref} = V_{\rm BE1} + 2I_{C2}R_4 = V_{\rm BE1} + 2\frac{R_4}{R_3}V_T \ln 8$$
(7)

式中: $V_T$ 具有正温度系数, $V_{BEI}$ 具有负温度系数,约 为-2 mV/ $\mathbb{C}^{[8]}$ 。因此,通过选取适当的 $R_3$ 和 $R_4$ 值,可以使翻转阈值电压 $V_{ref}$ 随温度变化改变很小。

此时 PMOS 管 MP3 仍处于关断状态,输出端 UVLO\_OUT 为低电平,因此:

$$V_{s} = \frac{R_{2}}{R_{0} + R_{1} + R_{2}} V_{\text{DD}}$$
(8)

翻转阈值电压  $V_s = V_{ref}$ ,可得:

$$V_{\rm DDH} = \frac{R_0 + R_1 + R_2}{R_2} V_{\rm ref}$$
(9)

电源电压要升高到  $V_{\text{DDH}}$ 时电路才能正常工作, 由式(9)可知,通过调节  $R_0$ 、 $R_1$ 、 $R_2$  的值可以设定正 向阈值电压。

③当  $V_{DD}$ 电压超过电路的上升阈值电压  $V_{DDH}$ 后, $I_{e1}$ 开始大于  $I_{e2}$ ,则  $I_{e1}$ 大于  $I_{D2}$ ,晶体管 MP2 的漏 端电压被拉到低电平,经过输出级后得 UVLO\_OUT 为高电平,芯片能够正常运行,此时:

$$V_{s} = \frac{R_{2}}{R_{1} + R_{2}} V_{\text{DD}} = V_{\text{ref}}$$
(10)

同样的,电源电压 V<sub>DD</sub>在下降的过程中也会经 历三种状态。使输出 UVLO\_OUT 发生翻转的下降 阈值电压为:

$$V_{\rm DDL} = \frac{R_1 + R_2}{R_2} V_{\rm ref}$$
 (11)

当 $V_{DD}$ 大于下降阈值电压 $V_{DDL}$ 时, $I_{c1} > I_{D2}$ , MP2 的漏端电压为低电平,UVLO 的输出电位为高电平。 当 $V_{DD}$ 继续减小到接近 $V_{DDL}$ 时, 有 $I_{c1} \approx I_{c2}$ , MP2 的漏 端电压仍为低电平, UVLO 的输出也为高电位。当  $V_{DD} < V_{DDL} 后, I_{c1} < I_{c2}$ , MP2 的漏端电压被拉高, 输出 UVLO\_OUT 变为低电平。

可以得到欠压保护电路的迟滞量为:

$$\Delta V = V_{\rm DDH} - V_{\rm DDL} = \frac{R_0}{R_2} V_{\rm ref}$$
(12)

由式(12)可知,通过调节电阻 R<sub>0</sub>和 R<sub>2</sub>,可以调节迟滞量的大小。

#### 2.2 高阶温度补偿原理

式(7)所示的三极管基级电压仅具有一阶温度 补偿,在电压 V<sub>BE1</sub>中除了含有随温度变化的线性部分 外,还包含了随温度的非线性变化<sup>[9]</sup>。因此,本文将 三极管 Q3 以二极管结构连接,利用了二极管反向饱 和电流<sup>[10]</sup>的温度敏感函数特性,实现对 V<sub>ref</sub>的高阶温 度补偿,来提高欠压保护电路的温度稳定性。

$$I_c = I_s \exp\left(\frac{V_{\rm BE}}{V_T}\right) = \frac{qAD_n n_i^2}{Q_B} \exp\left(\frac{V_{\rm BE}}{V_T}\right)$$
(13)

式中: $I_s$ 是 PN 结反向饱和电流, $Q_B$  是平衡状态下基 区单位面积的多子电荷总量, $n_i$  为本征载流子浓度,  $D_n$  为基区电子扩散系数。随着温度升高,本征载流 子浓度增加,导致反向饱和电流以 $n_i^2$  的速度增加。

本征载流子浓度为:

$$n_{i} = \sqrt{N_{c}N_{v}} \exp\left(\frac{-E_{i}}{2k_{0}T}\right) =$$

$$4.28 \times 10^{15} \left(\frac{m_{p}m_{n}}{m_{0}^{2}}\right)^{3/4} T^{3/2} \exp\left(\frac{-E_{g}}{2k_{0}T}\right) \qquad (14)$$

据式(8)可得  $\ln n_i = k_1 - k_2/T, k_1, k_2$  都是正的实 常数。因此有:

$$n_i \approx \exp(k_1 - k_2 / T) \tag{15}$$

在本文中,晶体管 Q3 以反向 PN 结的结构连接,反向饱和电流 *I*。同时流过 Q1 和 Q2,因此 Q1 和 Q2 的基极电压 *V*<sub>ref</sub>可以表示为:

$$V_{\rm ref} = V_{\rm BE1} + 2 \frac{R_4}{R_3} V_T \ln 8 + (I_{s1}\alpha_1 + I_{s2}\alpha_2) R_4 \quad (16)$$

式中:

$$I_{s} = I_{s1} + I_{s2} \tag{17}$$

将式(13)、式(15)代入式(16),并且令  $\alpha_2 = b\alpha_1, I_{s1} = cI_s, I_{s2} = (1-c)I_s$ ,因此有:

$$V_{\rm ref} = V_{\rm BE1} + 2 \frac{R_4}{R_3} V_T \ln 8 + [c + (1 - c) b] \alpha_1 R_4 I_s =$$

$$V_{\rm BE1} + 2 \frac{R_4}{R_3} V_T \ln 8 + [c + (1 - c) b] \alpha_1 R_4 \frac{q A D_n}{Q_B} \exp\left(2k_1 - \frac{2k_2}{T}\right)$$
(18)

式(14)中的 $k_1, k_2, b$ 和 c都为正的实常数。可

以看出,通过选择合适的三极管 Q3 的面积可以达 到高阶温度补偿的目的。

# 3 结果与分析

本文基于 0.25 μm BCD 工艺,设计并实现了结 构简单的新型低温漂欠压保护电路。V<sub>DD</sub>电压范围 为 9.5 V~15 V,采用 Cadence Spectre 工具在 TT 工 艺角下对该电路进行仿真。如图 3 所示,当电源电 压下降到 8.146 V 时,欠压保护电路输出低电平;当 电源电压重新上升到 8.625 V 时,电路的输出变为 高电平,迟滞电压为 0.48 V,满足电路的应用要求。



图 3 新型 UVLO 电路的输出曲线

图 4 和图 5 分别为电源电压在升高和下降过程 中所设计欠压保护电路的输出随温度变化的曲线 图。结果显示,在-40 ℃~125 ℃的温度范围内,电 路的上升翻转门限电压的最小值是 8.623 V,最大值 是 8.676 V,变化了 53 mV;电路的下降翻转门限电 压的最小值是 8.136 V,最大值是 8.183 V,变化了 47 mV。迟滞电压的平均值为 0.479 V,在-40 ℃~ 125 ℃的温度范围内,其迟滞电压变化了 50 mV,变 化幅度为 10.43%。



图 6 是电压  $V_{ref}$ 随温度变化的曲线图。结果显示,电压  $V_{ref}$ 的值为 1.117V,当温度在-40 ℃~125 ℃ 范围内变化时,其温漂系数 TC 为 TC =  $\frac{\Delta V_{ref}}{\Delta T \times V_{ref}}$  = 18.242 ppm/℃。



图 6 新型 UVLO 电压基准 V<sub>ref</sub>随温度变化曲线图

图 7 是在温度为 25 ℃情况时,在不同模型下,阈 值电压随温度变化的波形。在 TT、FF、SS 三种模型 下,欠压保护电路的上升翻转阈值电压和下降翻转阈 值电压的最大变化量分别是 175 mV 和 163 mV,迟滞 电压变化了 22 mV,变化幅度为 4.59%。



图 7 不同模型下 UVLO 输出曲线

图 8 是基于 0.25 μm BCD 工艺的新型欠压保护 电路芯片版图,核心芯片面积为 0.04 mm<sup>2</sup>(不包含 pads),功耗为 0.14 mW。

表1将本文所设计的新型欠压保护电路与文献 [4,11-12]中提到的欠压保护电路的性能进行比较,可以看出,本文提出的欠压保护电路相比于传统 的欠压保护电路,有低的温度系数,较小的功耗和较小的版图面积。



图 8 新型欠压保护电路芯片版图

耒 1	本立与已发表的欠压保护由路性能对比
衣工	

	文献[11]	文献[12]	传统 UVLO[4]	本文	
电源电压/V	20	3.3	12	15	
工艺	VIS 0.5 µm BCD	CSMC 0.5 µm CMOS	0.5 µm BiCMOS	UMC 0.25 µm BCD	
温度范围/ ℃	-40 ℃ ~125 ℃	−25 °C ~85 °C	−50 °C ~125 °C	-40 ℃ ~125 ℃	
迟滞电压/V	2.8	40 m	0.5	0.48	
温度系数/(ppm/ ℃)	20	107.8	25.7	18.2	
功耗	—	3 μW	4.6 mW	0.14 mW	
版图面积/mm <sup>2</sup>	0.58	—	大于 0.17	0.04	

#### 4 结论

本文针对电源管理系统所需要的欠压保护功能 设计了一款新型的 UVLO 电路。该电路结构简单, 省去传统 UVLO 电路中的基准电压产生电路和比较 器,采用了带隙基准结构进行电流比较,完成检测电 源电压变化的功能,因此独立性较强且节省了版图 面积;同时,将晶体管连接成二极管形式实现高阶温 度补偿,结合带隙基准结构减小了温度对翻转阈值 电压和迟滞电压的影响,实现了电路的低温度漂移 特性。基于 0.25 µm BCD 工艺设计实现的新型欠 压保护电路芯片版图面积为 0.04 mm<sup>2</sup>, 功耗为 0.14 mW, 功耗和版图面积均小于传统的欠压保护 电路。该 UVLO 电路功能正常,迟滞量为 0.48 V,能 够满足电源管理芯片的应用要求。在-40 ℃~125 ℃温度变化范围内,该电路的阈值电压和迟滞电压 的最大变化量分别为 53 mV 和 50 mV,具有低的温 度敏感性,保证了电路的高稳定性和可靠性。

#### 参考文献:

- [1] Wang H,Zhao Y R, Wang S L. Novel High Reliability Bandgap-Based Under-Voltage-Lockout Methods [J]. Journal of Theoretical and Applied Information Technology, 2013, 48(1):81-86.
- [2] 曹宝文. 基于 UC1845 的 DC-DC 变换及保护电路实验设计[J]. 电子测试,2019(11):5-9.
- [3] Qi M, Sun Q, Qiao D H, et al. High-Performance Pulse-Width Modulation AC/DC Controller Using Novel Under Voltage Lockout Circuit According to Energy Star VI Standard[J]. Journal of Semiconductors, 2018,39(10):105001.
- [4] 周庆生,吴晓波. 一种新型欠压锁定电路的设计[J]. 微电子学 与计算机,2006,23(11):199-201,207.
- [5] Song K N, Oh W H, Choi J K. A UVLO with Zero Static Power Consumption Power-on Reset Circuit in HVIC [C]//2017 IEEE Applied Power Electronics Conference & Exposition (APEC), Tampa, FL, USA, 2017:1085-1089.
- [6] 员瑶,冯全源,邸志雄. 一种高精度快速响应欠压锁定电路设 计[J]. 半导体技术,2017,42(3):169-173.
- [7] 贺江平,张波,孙江. 一种基于 CMOS 工艺的欠压保护电路 [J]. 微电子学,2017,47(1):23-25.

- [8] 石立志,廖春连.一种二阶曲率补偿的带隙基准源设计[J].中 国集成电路,2018,27(9):63-66.
- [9] Wang R, Lu W, Zhao M, et al. A Sub-1×10<sup>-6</sup>/°C Current-Mode CMOS Bandgap Reference with Piecewise Curvature Compensation
   [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2017, 65(3):904-913.
- [10] 刘京津,冯列峰. 基于 PN 结的 I-V 特性精确获得物理参量 [J]. 物理实验,2017,37(12):10-13.
- [11] Zhao Y R, Lai X Q. Novel Bandgap-Based Under-Voltage-Lockout Methods with High Reliability [J]. Journal of Semiconductors, 2013,34(10):105008.
- [12] Zhang C, Yang Z J, Zhang Z P. A CMOS Hysteresis Undervoltage Lockout with Current Source Inverter Structure [C]//2011 9th IEEE International Conference on ASIC (ASICON), Xiamen, China, 2011:918–921.



**郭 敏**(1994—),女,汉族,现为北京工 业大学硕士研究生,研究方向为 DC-DC 模拟电路设计,997765308@ qq.com;



**王立新**(1976—),男,汉族,研究员,博 士。研究方向为半导体器件的开发及 可靠性研究和电源管理、智能驱动等, wanglixin@ ime.ac.cn;



**谢红云**(1978—),女,汉族,副教授,博 士。研究方向为半导体光电子,xiehongyun@bjut.edu.cn。