

## Research on Low Power Constant Transconductance Rail-to-Rail Operational Amplifier Technology\*

GUO Zhongjie\*, HE Shuai, ZHENG Xiaoyi, CHEN Hao, LI Qing

(School of Automation and Information Engineering, Xi'an University of Technology, Xi'an Shaanxi 710048, China)

**Abstract:** In order to solve the influence of the input-stage transconductance of the rail-to-rail operational amplifier (op amp) with the common-mode input voltage change, real-time common-mode voltage monitoring technology is used to dynamically track the transconductance change of the rail-to-rail op amp input stage through the bias current. High-precision quantitative compensation for constant control of the input stage transconductance. The design and implementation of the specific circuit based on 0.18  $\mu\text{m}$  and CMOS process show that the op amp gain is 148 dB and the phase margin is  $61^\circ$  under the condition of power supply voltage 3.3 V, load resistance 100  $\Omega$  and load capacitance 1 nF. The total power consumption is only 39.6 microwatts, the common mode input range is as high as 0~3.3 V, and the transconductance change rate of the input stage is only 2.1%.

**Key words:** rail-to-rail; constant transconductance; common-mode voltage monitoring; low power consumption  
EEACC: 1220; 2570 doi: 10.3969/j.issn.1005-9490.2021.01.014

## 低功耗恒定跨导轨对轨运算放大器设计技术研究\*

郭仲杰\*, 何帅, 郑晓依, 陈浩, 李青

(西安理工大学自动化与信息工程学院, 陕西 西安 710048)

**摘要:** 为了解决轨对轨运算放大器输入级跨导随共模输入电压变化的影响, 采用实时共模电压监测技术, 动态跟踪轨对轨运放输入级的跨导变化, 通过对偏置电流的高精度定量补偿, 从而实现了输入级跨导的恒定性控制。基于 0.18  $\mu\text{m}$  CMOS 工艺进行了具体电路的设计实现, 结果表明: 在电源电压 3.3 V、负载电阻 100  $\Omega$ 、负载电容 1 nF 的条件下, 运放增益为 148 dB、相位裕度为  $61^\circ$ 、功耗为 39.6  $\mu\text{W}$ 、共模输入范围高达 0~3.3 V, 输入级跨导变化率仅为 2.1%。

**关键词:** 轨对轨; 恒跨导; 共模电压监测; 低功耗

中图分类号: TP342; TN432

文献标识码: A

文章编号: 1005-9490(2021)01-0072-05

随着电子产品性能的迅速提升, 电子芯片朝着低功耗方向不断发展, 在各种模拟前端芯片中, 作为模拟缓冲输出电路的高性能轨对轨运算放大器<sup>[1-4]</sup>越来越重要, 可以说, 缓冲输出电路的性能和精度决定整个芯片的性能<sup>[5]</sup>。而降低电源电压是低功耗首要考虑的问题, 运算放大器输入信号幅值会随着电源电压的降低而减小, 为了提高电源电压利用率, 通常需要输入端和输出端信号都要达到轨对轨<sup>[6]</sup>。轨对轨运算放大器一般采用 PMOS 和 NMOS 互补差分对作为输入级, 可使共模输入范围达到从负电源电压到正电源电压, 但当输入共模电压在中间范围时, 两个差分对会同时工作, 输入级跨导为单个差分对工作时的 2 倍, 这种跨导的大幅度变化会给频率

补偿带来很大困难, 这就使得保证输入级跨导恒定尤为重要。

传统实现输入级跨导恒定的方法有很多<sup>[7]</sup>, 例如冗余差分对法、最小(大)电流法、电平移位法、电流镜技术<sup>[8]</sup>等。冗余差分对法占用的芯片面积较大, 同时对跨导的控制不是很理想, 实际中很少采用这种结构; 最小(大)电流法的功耗较大; 电平移位法虽然结构简单, 易于实现, 但其增益无法保持恒定; 电流镜技术结构较为复杂<sup>[9-10]</sup>。

本文提出一种适用于多电池组高精度监测芯片中的模拟缓冲输出电路——轨对轨运放的输入级恒跨导控制电路结构, 通过模拟验证, 在实现输入级跨导恒定的基础上, 降低了功耗, 简化了电路结构。

项目来源: 国家自然科学基金面上项目(61771388); 陕西省教育厅科学研究计划项目(19JC029)

收稿日期: 2020-03-31 修改日期: 2020-07-10

# 1 电路结构设计

## 1.1 基于共模电压监测技术的恒定跨导输入级设计

输入级电路如图 1 所示,  $M_1$ 、 $M_2$  构成的 NMOS 输入差分对和  $M_3$ 、 $M_4$  构成的 PMOS 输入差分对并联组成传统互补差分对输入级结构,  $I_n$ 、 $I_p$  分别是 NMOS 输入差分对和 PMOS 输入差分对的尾电流。传统输入级结构虽可以使共模输入电压范围达到  $V_{SS} \sim V_{DD}$  (注: 在多电池高精度监测系统实际应用中, 共模输入电压范围为  $0.75 \text{ V} \sim 2.25 \text{ V}$ ), 但无法保证输入级的跨导恒定。为了解决轨对轨运放输入级跨导的变化问题, 提出一种结构简单且实用的恒定跨导控制电路, 该结构由  $M_5$ 、 $M_6$  构成的 PMOS 差分对和其尾电流管  $M_9$  构成, 尾电流为  $I_c$ ,  $M_5$  和  $M_6$  的栅极分别接  $V_{\text{cm}+}$  和  $V_{\text{cm}-}$ , 即通过对共模输入电压的实时监测, 由  $I_c$  动态调节  $I_n$  的大小以控制 NMOS 输入差分对在 PMOS 输入差分对进入线性区之前的共模输入范围内处于截止状态, 从而保证输入级跨导恒定。

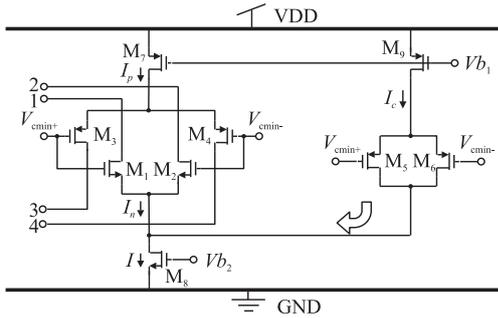


图 1 本文提出的恒定跨导输入级电路

图 1 中,  $V_{b1}$  为  $M_7$ 、 $M_9$  提供偏置,  $V_{b2}$  为  $M_8$  提供偏置, 以保证  $I_p$ 、 $I_c$ 、 $I$  三者大小相等, 同时  $I_n$ 、 $I_c$  和  $I$  三者关系由式(1)给出。

$$I_n + I_c = I \quad (1)$$

跨导与电流公式由式(2)给出, 可知 MOS 管上流经的电流为零时, 跨导也为零。

$$g_m = \sqrt{2 \cdot \mu \cdot c_{ox} \cdot (W/L) \cdot I} \quad (2)$$

输入级跨导恒定原理示意图如图 2 所示, 横轴为共模输入电压, 纵轴为输入级跨导。  $V_1$  和  $V_2$  分

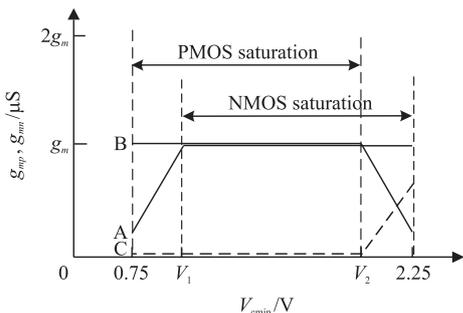


图 2 单个输入差分对管跨导示意图

别是 NMOS、PMOS 在线性区与饱和区所需的共模输入临界值,  $V_1$  和  $V_2$  的值由 MOS 管的工艺决定, 在本次采用的  $0.18 \mu\text{m}$  CMOS 工艺下其值大小分别为  $0.95 \text{ V}$  和  $2.05 \text{ V}$ ;  $g_{\text{mn}}$  和  $g_{\text{mp}}$  为 NMOS 和 PMOS 输入差分对单独导通时的跨导,  $G_m$  为输入级总跨导。图 2 中 A、B、C 三条曲线分别是 NMOS 输入对管、PMOS 输入对管和补偿后 NMOS 输入对管的  $g_m$  随  $V_{\text{cm}+}$  变化示意图, 图 3 中 D、E 两条曲线分别是补偿前和补偿后  $G_m$  随  $V_{\text{cm}+}$  变化示意图。假设式  $g_{\text{mn}}$  和  $g_{\text{mp}}$  满足式(3)关系:

$$g_{\text{mn}} = g_{\text{mp}} = g_m \quad (3)$$

同时  $G_m$ 、 $g_{\text{mn}}$  和  $g_{\text{mp}}$  存在式(4)关系:

$$G_m = g_{\text{mn}} + g_{\text{mp}} \quad (4)$$

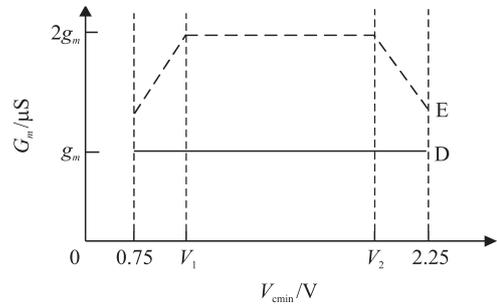


图 3 补偿前后输入级总跨导随共模共模输入变化示意图

当共模输入从  $0.75 \text{ V}$  逐渐增大到  $V_1$  的过程中, 由图 2 中可看出, PMOS 输入差分对完全导通, 其跨导  $g_{\text{mp}}$  大小等于  $g_m$ , NMOS 输入差分对由线性区逐渐变为完全导通, 其跨导  $g_{\text{mn}}$  从小于  $g_m$  的一个值逐渐增大到  $g_m$ ; 由图 3 可看出, 当共模输入在  $0.75 \text{ V} \sim V_1$  范围内, 补偿前输入级跨导  $G_m$  介于  $g_m$  和  $2g_m$  之间, 采用提出的跨导控制结构  $M_5$ 、 $M_6$  后, PMOS 控制结构  $M_5$ 、 $M_6$  在  $0.75 \text{ V} \sim V_1$  内完全导通, 通过调整  $M_5$ 、 $M_6$  的宽长比使其尾电流  $I_c$  在共模输入为  $V_1$  时的大小等于  $I$ , 由于  $I$  为固定偏置, 由式(1)可知当  $I_c$  等于  $I$  时,  $I_n$  会被迫降为零, 由式(2)知  $I_n$  等于零时, NMOS 输入差分对的跨导  $g_{\text{mn}}$  为零, 这样, 由式(4)关系知  $G_m$  等于  $g_m$ 。

当共模输入从  $V_1$  逐渐增大到  $V_2$  的过程中: PMOS 输入差分对和 NMOS 输入差分对均完全导通, 补偿前输入级跨导  $G_m$  等于  $2g_m$ 。采用提出的跨导控制结构  $M_5$ 、 $M_6$  后, 由前面分析知, 通过调整  $M_5$ 、 $M_6$  的宽长比使其尾电流  $I_c$  等于  $I$ , 则迫使  $I_n$  为零, NMOS 输入差分对跨导  $g_{\text{mn}}$  等于零, 输入级总跨导  $G_m$  等于  $g_m$ 。

当共模输入从  $V_2$  逐渐增大到  $2.25 \text{ V}$  的过程中, 由图 2 中可看出, NMOS 输入差分对完全导通, 其跨导  $g_{\text{mn}}$  等于  $g_m$ , PMOS 输入差分对由完全导通逐

渐变为不完全导通,其跨导  $g_{mp}$  由  $g_m$  逐渐减小到不等于零一个值;由图3可看出,当共模输入在  $V_2 \sim 2.25$  V 范围内,补偿前输入级跨导  $G_m$  也介于  $g_m$  和  $2g_m$  之间。加入本文提出的跨导控制结构  $M_5$ 、 $M_6$  后,当  $M_5$ 、 $M_6$  在共模输入小于  $V_2$  时处于饱和区,其尾电流  $I_c$  等于  $I$ ,此时  $I_n$  等于零,即  $g_{mn}$  为零; $M_5$ 、 $M_6$  在共模输入大于  $V_2$  时会逐渐进入线性区, $I_c$  会逐渐减小,导致  $I_n$  由零逐渐增大,即  $g_{mn}$  由零逐渐增大,与此同时, $M_3$ 、 $M_4$  也会由饱和区进入线性区,导致  $g_{mp}$  由  $g_m$  逐渐减小,只需通过调整  $M_5$ 、 $M_6$  的宽长比保证在共模输入为  $2.25$  V 时,满足  $g_{mn}$ 、 $g_{mp}$  之和等于  $g_m$  即输入级总跨导  $G_m$  保持为  $g_m$ 。

经上面分析可知,加入本文提出的恒定跨导控制结构可使输入级跨导在共模输入应用范围  $0.75$  V  $\sim 2.25$  V 内保持恒定。

## 1.2 整体电路设计

本文提出的恒定跨导轨对轨运算放大器的整体电路如图4所示,在输入级,共模输入信号经  $M_1 \sim M_4$ 、 $M_{17} \sim M_{24}$  构成的折叠共源共栅放大器进行幅值

的放大,本文提出的恒定跨导控制结构由  $M_5$ 、 $M_6$  和  $M_9$  构成,也是本文的关键,通过动态补偿 NMOS 输入差分对的尾电流  $I_n$  使输入级跨导在整个共模输入范围内保持恒定,降低了频率补偿的难度;在输出级<sup>[11]</sup>,由前级放大的共模输入信号经  $M_{15}$ 、 $M_{16}$  构成的 CLASS AB 类输出级,将前级输出电压  $V_{OUT1}$ 、 $V_{OUT2}$  信号进行功率的放大<sup>[12-14]</sup>;这样保证了经轨对轨运放输出的共模信号具有高摆幅和大驱动能力的特点。此外,轨对轨运放为二级结构,所以需要进行密勒补偿,使整个系统拥有足够的相位裕度来保证系统的稳定性,其中, $R_1$ 、 $R_2$  和  $C_1$ 、 $C_2$  分别为调零电阻和密勒补偿电容。

电路主要通过设置合适的静态工作点和采用提出的跨导恒定结构来实现低功耗。一方面通过设计 MOS 管的静态工作点,使运算放大器中 MOS 管的偏置电流为  $700$  nA,保证整体电路的低功耗;另一方面采用本设计提出的跨导恒定结构,仅使用一倍的偏置电流也就是  $700$  nA 就可对输入级跨导进行控制,进而为低功耗设计提供保证。

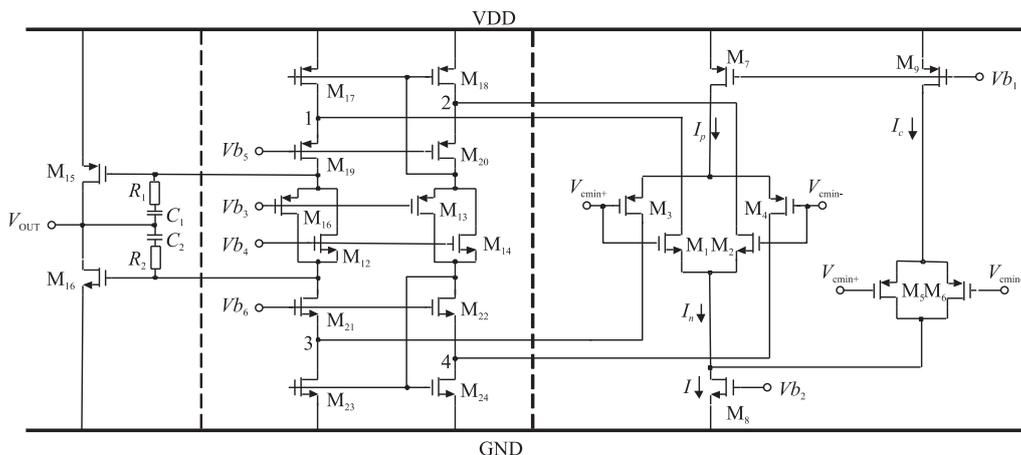


图4 本文提出的恒定跨导轨对轨运算放大器整体电路

## 2 验证结果与分析

### 2.1 对输入级跨导一致性的验证

为了研究电路输入级跨导的一致性,基于  $0.18$   $\mu\text{m}$  CMOS 工艺对输入级进行了 Spectre 实际的全面验证和分析。仿真结果如图5所示,在电源电压  $3.3$  V 的条件下,共模输入电压从  $0.75$  V  $\sim 2.25$  V 进行扫描,输入级跨导变化率为  $2.1\%$ 。可见,采用提出的跨导恒定结构可以实现在整个共模输入范围内输入级跨导的稳定。

### 2.2 整体电路综合性能验证与分析

本文研究的高精度模拟缓冲运算放大器波特图验证曲线如图6所示,在负载电容  $C_L = 1$  nF,负载电

阻  $R_L = 100$   $\Omega$  的条件下,增益为  $148$  dB,相位裕度为  $61^\circ$ 。运放的共模输入输出动态范围仿真结果由图7所示,可以看出共模输入输出动态范围均满足轨对轨即  $0 \sim 3.3$  V。

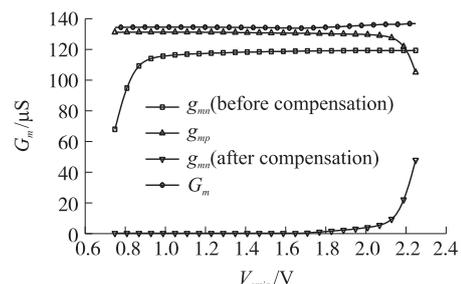


图5 输入级跨导随共模输入电压比变化的稳定性验证曲线

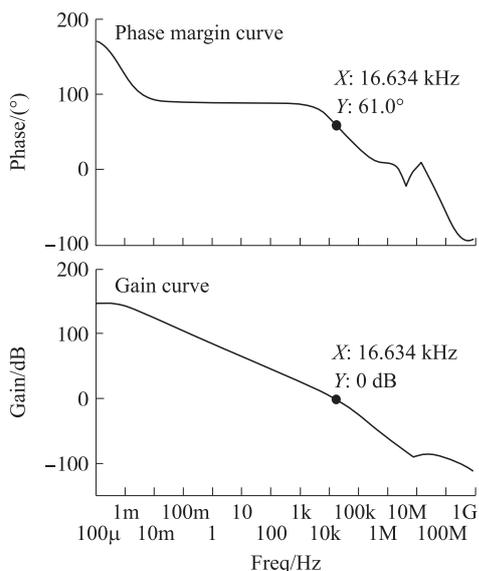


图 6 运算放大器的波特图

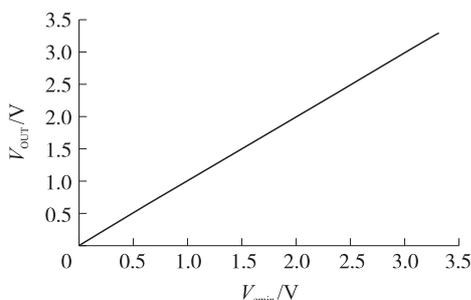


图 7 运算放大器输入输出动态范围验证曲线

本文与同类型文献对比如表 1 所示, 本文相对其他文献不仅可以实现宽共模输入范围, 为多节电池管理系统的高精度宽范围读出提供了保障, 而且在仅使用 3 个 MOS 管构成的控制电路就实现了较好的输入级跨导恒定, 简化了电路; 此外整个运放的功耗为 39.6  $\mu\text{W}$ , 相比其他文献降低了一个数量级; 同时, 进行密勒补偿后使电路拥有高增益和良好的相位裕度, 为高精度高速电池电压检测系统提供了良好的保障<sup>[15]</sup>。

表 1 结果对比

文献	工艺/ $\mu\text{m}$	共模输入范围/V	电源电压/V	相位裕度/( $^\circ$ )	增益/dB	功耗/mW	跨导变化率/%
[7]	0.18	0~3.3	3.3	65	126	3.3	—
[8]	0.18	0~3.3	3.3	66	120	0.18	2.45
[10]	0.18	0~5	5	76.3	108.5	—	3
[16]	0.18	-2.5~2.5	1.5	50	68	—	0.7
本文	0.18	0~3.3	3.3	61	148	0.0396	2.1

### 2.3 在高精度电池管理系统实际应用中的性能验证

图 8 是多电池组监测芯片应用实际中轨对轨运放精度测试示意图, 旨在对轨对轨的输入输出精度一致性进行可靠性验证, 在瞬态条件下, 对多节电池

组中的第四节电池进行选通并测试, 结果如图 9, 可得知, 芯片输入电压和输出电压的误差主要源自前级的电压采集电路, 误差  $\Delta_1$  为 0.25 mV 左右; 本文设计的缓冲输出电路轨对轨运放的输入到输出的误差  $\Delta_2$  为 0.04 mV 左右, 一致性比较高; 运算放大器良好的输入输出一致性为后续版图设计和流片可能带来的误差留够充足的裕量, 为多电池监测芯片中模拟缓冲输出电路的实际应用提供了可靠性保障。

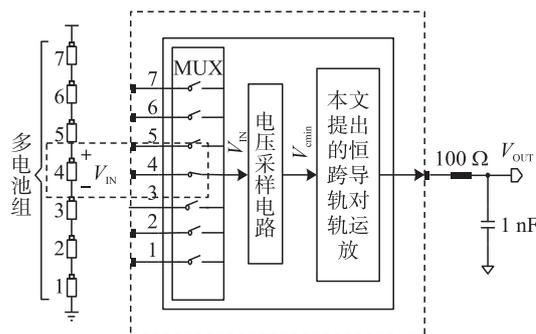


图 8 多电池组监测芯片中轨对轨运放精度测试示意图

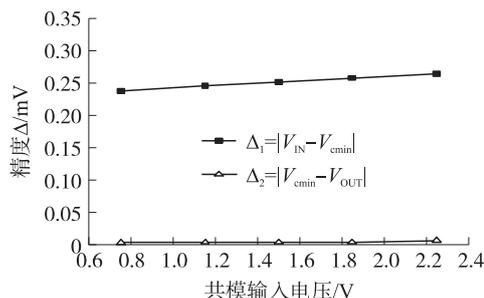


图 9 轨对轨运放精度一致性测试结果

## 3 结论

本文基于 0.18  $\mu\text{m}$  CMOS 工艺设计了一款应用于电动汽车电池电压监测芯片的模拟缓冲输出低压恒跨导轨对轨功率放大器, 采用简单实用且可行的共模电压监测技术, 在不增加额外功耗的情况下实现了输入级的恒跨导。通过仿真验证, 该运算放大器在负载电容为 1 nF、负载电阻为 100  $\Omega$  的条件下, 运放的开环增益达到了 148 dB, 相位裕度为 61 $^\circ$ , 在整个电源电压的共模范围内, 跨导变化率仅变化 2.1%。电路结构简单、功耗低且可以保持输入级跨导基本恒定是该模拟缓冲输出电路的突出特点, 可广泛应用于未来更多节电池监测与保护系统。

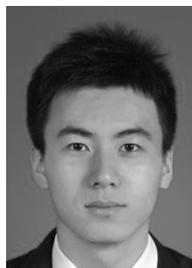
### 参考文献:

[1] Harikrishna Veldandi, Rafi Ahamed Shaik. An Ultra-Low-Voltage Bulk-Driven Analog Voltage Buffer with Rail-to-Rail Input/Output Range[J]. Circuits Systems and Signal Processing, 2017, 36(12): 4886-4907.

- [2] Rosli A, Aziz Z A A, Mohd S K K. 8-bit Hybrid DAC with Rail-to-Rail Buffer Amplifier[J]. Lecture Notes in Electrical Engineering, 2019, 547(1):203-209.
- [3] Lu Chih-Wen, Hsiao Ching-Min. A Rail-to-Rail Buffer Amplifier for LCD Driver[J]. Journal of Circuits, Systems and Computers, 2011, 20(7):1377-1387.
- [4] Kim J S, Lee J Y, Choi B D. Slew-Rate-Enhanced Rail-to-Rail Buffer Amplifier for TFT LCD Data Drivers [J]. Electronics Letters, 2012, 48(15):924-925. doi:10.1049/el.2012.0438.
- [5] Chien-Hung Tsai, Jia-Hui Wang. A High-Speed Rail-to-Rail Output Buffer with Push-Pull Dual-Path and Dynamic-Bias for LCD Driver ICs[J]. Analog Integrated Circuits and Signal Processing, 2012, 70(3):303-310.
- [6] Wang Chua-Chin, Tsai Tsung-Yi, Lu Wen-Je. A 30 V Rail-to-Rail Operational Amplifier[J]. Microelectronics Journal, 2015, 46(10):911-915.
- [7] Zhao Shuang, Liu Yuntao. Design of a CMOS Rail-to-Rail Operational Amplifier with Constant Transconductance [J]. Microelectronics, 2016, 46(3):1004-3365.
- [8] Ma Yujie, Gao Junli, Hou Yongqi. Design of 3.3V/0.18  $\mu\text{m}$  Constant Transconductance Rail-to-Rail CMOS Operational Amplifier [J]. Application of Electronic Technique, 2012, 46(11):48-50.
- [9] Grasso A D, Palumbo G, Pennisi S. Dual Push-Pull High-Speed Rail-to-Rail CMOS Buffer Amplifier for Flat-Panel Displays [J]. IEEE Transactions on Circuits and Systems II - Express Briefs, 2018, 65(12):1879-1883.
- [10] Xue Chaoyao, Han Zhichao, Ou Jian. Design of a Novel Constant Gm Rail-to-Rail CMOS Op-Amp[J]. Electronic Science and Technology, 2013, 26(9):121-123.
- [11] Sergeev A I, Suvorov A A. Improving the Electrical Characteristics of Measuring Devices Based on Rail-to-Rail Operational Amplifiers [J]. Measurement Techniques, 2018, 61(8):817-823.
- [12] Jeng Han Tsai. Design of a 5.3-GHz 31.3-dBm Fully Integrated CMOS Power Amplifier Using Folded Splitting and Combining Architecture[J]. IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2019, 27(7):1527-1536.
- [13] Murad S A Z, Pokharel R K, Kanaya H. A 2.4-GHz 0.18- $\mu\text{m}$  CMOS Class E Single-Ended Switching Power Amplifier with a Self-Biased Cascode[J]. AEU: International Journal of Electronics and Communications, 2010, 64(9):813-818.
- [14] Emre Arslan, Merih Yıldız, Shahram Minaei. A Compact Rail-to-Rail CMOS Buffer Amplifier with Very Low Quiescent Current[J]. International Journal of Electronics, 2015, 102(6):982-992.
- [15] Wen Jinyuan, Liu Binjie, Zhou Tianyu, et al. High-Slew-Rate Low-Static-Power Dynamic-Bias Rail-to-Rail Output Buffer for OLED-on-Silicon VR Microdisplay [J]. SID Symposium Digest of Technical Papers, 2018, 49(1):295-298.
- [16] Cao Xinliang. Design of Rail-to-rail CMOS Amplifier with CM-Feedback and Floating-Gate Input Stage[J]. Research & Progress of SSE, 2019, 39(04):282-287.



郭仲杰(1982—),男,博士、教授、研究员,研究方向为数模混合集成电路设计, zjguo@xaut.edu.cn;



何帅(1995—),男,硕士研究生,研究方向为超大规模集成电路设计, heshuai\_ic@163.com;



郑晓依(1995—),女,硕士研究生,研究方向为长波导航授时与电磁场数值计算;



陈浩(1994—),男,硕士研究生,研究方向为超大规模集成电路设计;



李青(1992—),女,硕士研究生,研究方向为超大规模集成电路设计。