

High-Speed Data Acquisition System Based on Embedded System *

ZHOU Shaoshuai¹, QI Yueyan², DONG Jungang³, ZHANG Huixin^{1*}

(1. National Key Laboratory of Electronic Testing Technology, North University of China, Taiyuan 030051, China;

2. Beijing Aerospace Systems Engineering Institute, Beijing 100076, China;

3. Beijing Institute of Structure and Environment Engineering, Beijing 100076, China)

Abstract: In the telemetry system, the problems of high power consumption, high heating, high noise and low access speed of the hard disk of the traditional storage system are discussed. The interface of FPGA as main control unit and LVDS as image data transmission and reading is designed. The main functional modules are image storage, image transmission, long line reading and real-time monitoring. Taking FLASH as the storage unit, the working mode of the storage module is reasonably selected, and according to the design principle of reliability and modularization, the design scheme of the high-speed image storage system is put forward in combination with the functional index requirements and the task requirements. The test and data analysis results show that the storage speed can reach 60 Mbyte/s. It has the characteristics of simple operation, high overload resistance, high integration, stable work and high temperature resistance. The design of the system is fully in line with the requirements of the task and meets the specified performance indicators.

Key words: image storage; FLASH; FPGA; LVDS; high-speed transmission

EEACC: 1265; 7220

doi: 10.3969/j.issn.1005-9490.2020.05.027

基于嵌入式的高速数据采集系统 *

周少帅¹, 仵岳岩², 董钧港³, 张会新^{1*}

(1. 中北大学电子测试技术国家重点实验室, 太原 030051; 2. 北京宇航系统工程研究所, 北京 100076;

3. 北京强度环境研究所, 北京 100076)

摘 要: 在遥测系统中, 针对传统存储系统硬盘的功耗高、发热高、噪声大、访问速度低的问题, 设计了以 FPGA 为主控单元, 以 LVDS 为图像数据传输和读取的接口。以图像存储、图像传输、长线读数和实时监测为主要功能模块。以 FLASH 为存储单元, 合理地选择了存储模块的工作模式, 根据可靠性和模块化的设计原则, 结合任务要求与功能指标要求, 提出了高速图像存储系统的设计方案; 测试与数据分析结果表明, 存储速度可以达到 60 Mbyte/s。具有操作简易, 抗高过载, 集成度高, 工作稳定, 耐高温的特点。本系统设计完全符合任务要求, 达到规定的性能指标。

关键词: 图像存储, FLASH, FPGA, LVDS, 高速传输

中图分类号: TP274

文献标识码: A

文章编号: 1005-9490(2020)05-1100-04

近年来, 随着电子图像技术飞速发展, 图像具有极强的直观性, 记录下的数据具有很高的价值, 因此, 如何在测量系统将图像数据采集、存储、传输是系统设计的重点。

传统飞行器遥测系统中的大容量固态存储器, 一般容量小于 32 Gbyte/s, 速度不大于 40 Mbyte/s, 电机驱动磁盘功耗大, 磁盘访问步骤复杂导致访问速度低, 并且磁盘内精密器件受到外界冲击导致损

坏造成稳定性差。基于以上原因, 设计出嵌入式高速数据采集系统, 并采用检测无效块与存储块动态擦除技术。

该设备安装固定于飞行装置, 实时记录飞行器发射之后飞行器中各部分参数, 并在飞行完毕之后, 将存储的飞行试验参数转化为有价值信息, 对飞行状况进行分析, 为飞行器的健康、飞行器参数、预测设备故障、飞行事故分析和飞行器改进提供科学依据。

项目来源: 国家自然科学基金杰出青年基金项目(61525107)

收稿日期: 2020-03-23

修改日期: 2020-04-06

1 总体设计

图像记录器、单元测试台、电缆线、计算机及上位机软件四部分组成整个图像存储测试系统。图像记录器为系统提供的两路图像数据被分别存储 FLASH 的两个不同的区域, 当飞行器计算机发出指令信号, 图像记录器中的 FLASH 完成无效块的检测与处理, 当飞行器计算机发出采集、存储信号时, 图像记录器将执行采集、存储操作。采集的数据将被存储在 FLASH 中, 待存储完成需回传读数, 单元测试台内 FLASH 需检测与处理无效块, 等待接收备份回传的数据, 当飞行器计算机发出特殊指令后, 通过 LVDS 接口对回传的数据进行采集、存储、传输; 通过 RS-422 接口处接收的串行数据, 通过 USB 接口实现与计算机通信, 对上位机的命令进行处理, 向上位发送的数据等, 如图 1 所示。

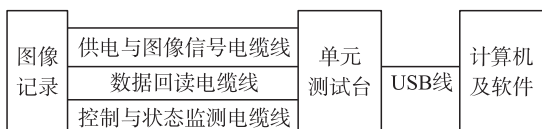


图1 图像存储测试系统结构组成原理图

2 硬件设计

本系统主要包括以下几个部分, 前端图像存储单元, 指令信号接收电路设计, LVDS 接口电路设计, 图像接收回传电路设计, 长线读数, 实时监测等电路设计。

2.1 图像存储单元设计

为提高系统稳定性, 专门设计了一块独立的存储板, 板上只放置单块 FLASH 芯片和相应的配置电路, 主控板通过耐高温导线与 FLASH 芯片进行电气连接。“片选信号”为 CE, “完成/忙碌信号”为 RB, FPGA 只需控制这两个信号即可对 FLASH 进行控制, 其他接口备用即可。其中 FPGA 与各存储单元的接口为 P1/P3, 备用读数接口为 P2, 主要是便于测试完毕后读取数据, 仅供分析使用。图 2 为存储板电路设计图。

2.2 指令信号接收电路设计

为提高系统的抗干扰能力, 通过光耦隔离指令信号。在航天与军事领域电路设计中广泛采用 HCPL-5531 作为数字光电耦合器, 工作时各通道电流峰值小于 50 mA, 正向输入平均电流为 25 mA, 因此在设计电路时, 在信号输入端需要串联一个阻值为 100 Ω 的电阻来保护整个光耦隔离电路, 确保安全。同时在指令信号接收电路设计中, 需用一个反

向二极管并联在光耦正负输入端, 通过控制光耦内的发光二极管将电压控制在 0.7 V 左右, 来保护整个电路。图 3 为指令信号接收电路原理图。

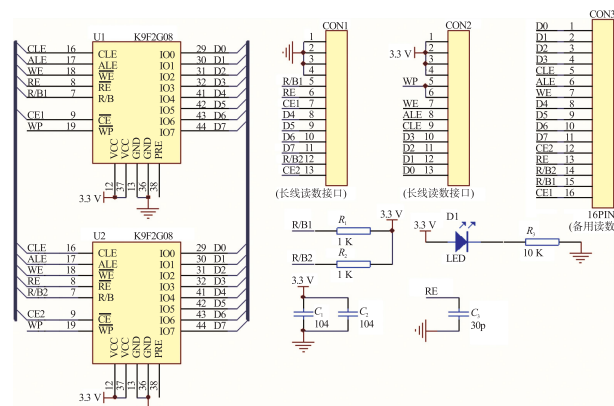


图2 存储板电路原理设计图

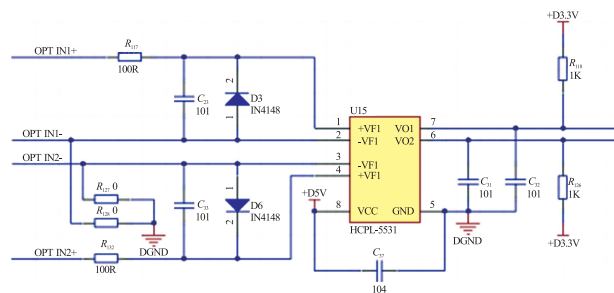


图3 接收指令信号电路设计图

2.3 LVDS 接口电路设计

LVDS 是一种常用高速数据传输接口。通常由差分驱动器、互联器、差分接收器组成; LVDS 驱动器由 3.5 mA 电流源驱动差分线对构成, 由 PCB 走线、电缆、终端匹配电阻组成差分互联器, 具体过程为差分驱动线将 TTL 电平转化成 LVDS 信号, 通过互联器再将 LVDS 信号转化成 TTL 电平。LVDS 接口技术运用低电流驱动输出和低摆幅, 具有效率高、功耗低、抑制噪声等优点。本次用的 LVDS 接口以 30 Mbyte/s 的速度读取图像记录器的数据, 如图 4 所示。

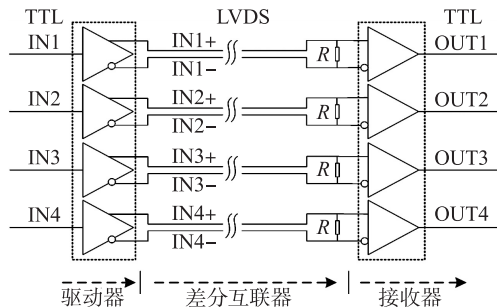


图4 LVDS 信号传输方式示意图

2.3.1 图像接收和回传功能电路

为了发送 11 路视频平衡传输的 LVDS 信号, 在

设计高速数字视频相机数字端口时,该系统设计驱动器使用 3 片 DS90LV031A 芯片,图像接收端接口芯片使用的是 DS90LV032A。同样 LVDS 驱动器数据回传采用 DS90LV031A 芯片, LVDS 图像接收和回传功能电路设计图分别是图 5(a)、5(b)。

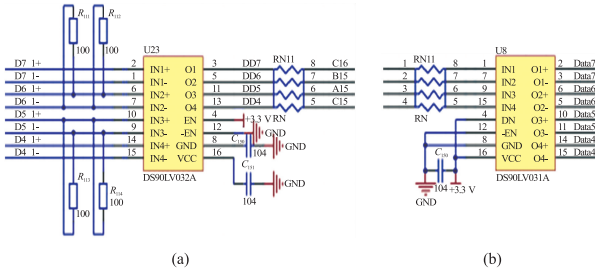


图 5 图像接收端接口设计部分

2.3.2 长线读数功能电路

在联试各个单机系统的情况下,为了读取存储中的数据,图像记录器通过 LVDS 接口长线读取数据,长线读数串化器采用 DS92LV1023 芯片,同样采用 DS92LV1024 芯片作为长线读数解串器,在本次设计的并行数据传输过程速率为 100 Mbit/s 甚至高于 1 Gbit/s,解决了高速数据传输。为了严格同步系统发送和接收的数据,因此设定 TCLK 作为并串转化后数据进入内部同步时钟, RCLK 作为解串器解码后数据流出的同步时钟,可以实现高速传输大容量数据。本次设计采用的 CLC014 芯片和 CLC001 芯片作为电缆驱动器和均衡器,根据实际情况可以设置数据通信波特率为 655 Mbit/s。长线读数的接口电路设计原理图如图 6 所示。

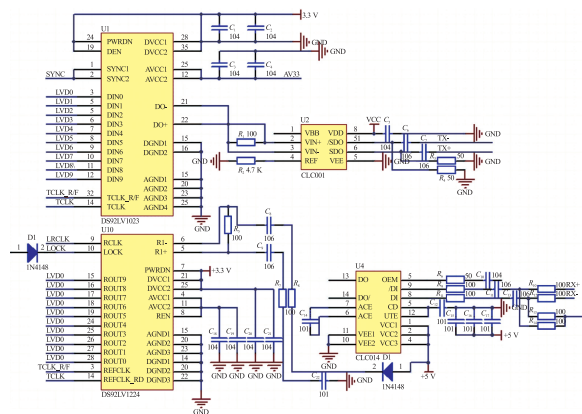


图 6 长线读数接口电路设计

2.4 实时监测电路部分

为了避免图像记录器在异常情况下连续工作导致的设备损坏,针对此问题设计实时监测电路部分。本次实时监测电路设计采用 DS26C31、DS26C32 为 RS-422 接口芯片。这是一款广泛使用的 RS-422 收发器,具有功耗低、成本低、支持全双工通信的优

点,需要系统提供 5 V 工作,数据通信的波特率设置为可以支持峰值为 2.5 Mbit/s。图 7 为该芯片的电路设计图。

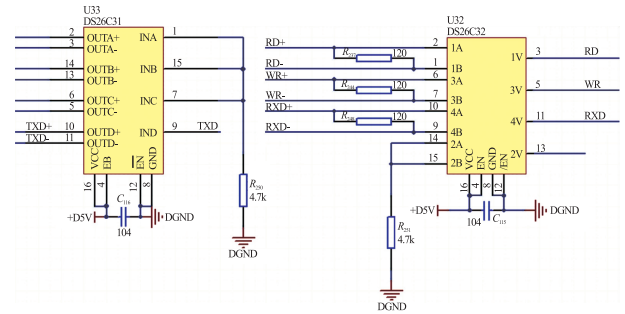


图 7 DS26C31, DS26C32 电路设计图

3 FPGA 逻辑设计

本系统主要注重于图像存储,重点介绍 FPGA 的逻辑设计中存储逻辑。FLASH 页编程基本单位为“页”执行操作。针对存储大量连续的数据,通常采用顺序编程写入数据的存储方式。当页计数达到 64 页后,块计数需加 1 后再写下 1 块,直至将所有块写完为止。一般情况下的页编程的流程图和时序图,如图 8 所示,如图所示页编程的工作周期为 200 μs ,工作周期最大值为 700 μs 。

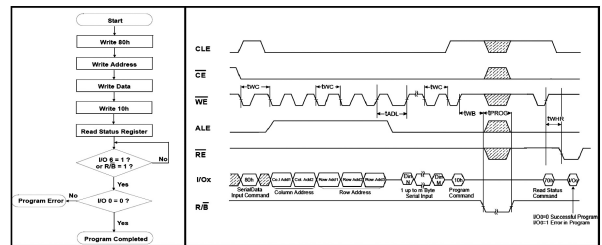


图 8 编程流程图和时序图

4 关键技术研究

本次设计要完成高速存储,普通 FLASH 写入方式无法满足 60 Mbyte/s 存储速度,因此如何提高写入速度成为设计关键,本次设计 FLASH 内部两片为 chip1 和 chip2,4 个平面 plane0~plane3,为大幅度提高写入速度,采用双平面编程技术,对 chip1、chip2 的 8 个平面进行并行操作,依次写入 chip1 的 plane0 的 block0 的 page0 后,再横向写入 7 页,当循环写 chip1 的 plane0block0 的 page1。用时 $25 \text{ ns} * 4096 * 7 = 716.8 \mu\text{s}$ 大于 700 μs (页编程时间峰值),从而有空余时间可以继续对 chip1 的 plane0 的 block0 的 page1 进行不间断地操作,使页编程时间得到充分运用,使普通 FLASH 的写入速度提高至 60 Mbyte/s,完成图像数据存储任务。图 9 所示为上位机读数界面。



图9 上位机读数时的界面

本系统使用单机测试对系统进行测试,图10是对部分数据利用Hex Edit软件分析的结果。每行有4 096个字节显示。每帧数据的“15 00—5F FF”为有效数据格式。每帧数据的“14 92+2字节帧计数标记+3字节时间标记+1字节状态标记”为附加信息格式。

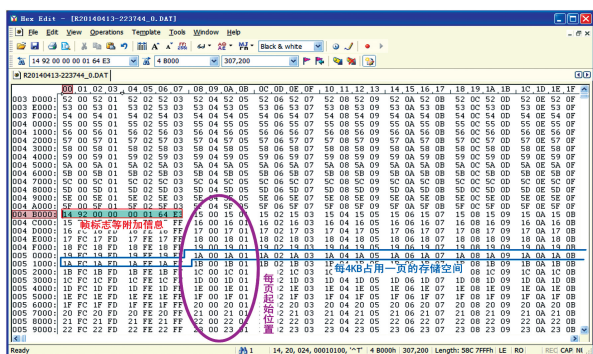


图10 Hex Edit 软件中显示的部分数据结果

从图10中可以看出,标记处数据排列整齐有序,类似单机测试产生数据规则,误码信息不存在该数据中。经过多次读取数据并分析可知,数据包具有完整性,没有出现错误,系统具有可行性。

5 结论

根据整个系统可行性分析以及长线读数据界面分

析以及图像记录器设计要求,经过多次读取数据并分析可知,数据误码率低,帧结构连续。存储速度可以达到60 Mbyte/s。性能稳定、可靠,高速、简明和易操作系统满足任务要求。

参考文献:

- [1] 鄢玲玲. 基于FPGA的高精度采集转发装置的设计与实现[D]. 太原:中北大学,2017.
- [2] 刘飞. 小型高速图像存储系统的设计[D]. 西安:西安电子科技大学,2009.
- [3] 韩帅. 基于工业相机的图像采集与回放系统研究[D]. 太原:中北大学,2015(1):34-45.
- [4] Rizvi S S, Chung T S. Flash SSD vs HDD: High Performance Oriented Modern Embedded Andmultimedia Storage Systems[J]. Computer Engineering and Technology (IC CET), 2010(7): 297-299.
- [5] 李开明. 航天高密度大容量数据存储技术的发展[J]. 空间电子技术, 2010(4): 45-48.
- [6] 郑燕露. 飞控数据记录器及单元测试装置的研制[D]. 太原:中北大学,2012.
- [7] 李敏洁. 基于闪存的大容量图像存储器的研究[D]. 长春:中国科学院长春光学精密机械与物理研究所,2006.
- [8] 徐永刚. 基于NAND Flash的嵌入式图像记录技术[D]. 北京:中国科学院光电技术研究所,2013.
- [9] 高怡祯. 基于闪存的星载大容量存储器的研究和实现[J]. 电子技术应用, 2013, 29(8): 75.
- [10] 朱岩. 基于闪存的星载高速大容量存储技术的研究[D]. 北京:中国科学院研究生院空间科学与应用研究中心,2006.
- [11] 洪应平. 高速图像数据固态存储器的研制[D]. 太原:中北大学,2011.
- [12] 许辉. 基于FLASH的大容量记录器的设计[D]. 太原:中北大学,2017.
- [13] 匡宏印. 基于FPGA的多通道双频数字化接收机研制[D]. 哈尔滨:哈尔滨工业大学,2013.
- [14] 雷磊. NAND型FLASH海量存储系统的设计与实现[D]. 北京:北京理工大学,2018.
- [15] 李勇. 基于LVDS接口的高速图像数据记录器的设计与实现[D]. 太原:中北大学,2013.



周少帅(1992—),男,汉族,山东省烟台市人,中北大学在读研究生,研究方向为仪器仪表工程,1064370203@qq.com;



张会新(1980—),男,汉族,黑龙江牡丹江人,讲师,研究方向为抗过载存储技术及动态测试技术与仪器,zhanghx@nuc.edu.cn。