

· 模型与算法 ·

基于类线性插值算法的 DDFS 设计与实现

王 巍, 徐媛媛, 杨 皓, 何雍春, 黄孟佳, 杨正琳, 袁 军
(重庆邮电大学 光电工程学院/重庆国际半导体学院, 重庆 400065)

摘 要: 提出一种可用于 DDFS 的类线性插值算法,并在 FPGA 上进行了硬件实现。分析了 DDFS 核心模块(相位-幅度转换模块)中各种算法的优缺点,提出了一种采用线性函数和抛物线函数对正弦波曲线进行分段拟合的算法。该算法提高了算法精度,有效降低了算法复杂度,有利于加快硬件的运行速度。通过 Matlab 对拟合结果进行分析,得到符合电路性能要求的多项式系数。对基于类线性插值算法的 DDFS 进行硬件设计。采用 Altera 公司 Cyclone II 器件进行 FPGA 实现。实验结果表明,该 DDFS 的频谱纯度高, SFDR 达 -94 dBc。电路结构简单,易于实现。

关键词: 直接数字频率合成器; 类线性插值算法; 现场可编程门阵列

中图分类号: TN402; TN492

文献标识码: A

文章编号: 1004-3365(2018)03-0406-05

DOI: 10.13911/j.cnki.1004-3365.170356

Design and Implementation of DDFS Based on Quasi-Linear Interpolation Algorithm

WANG Wei, XU Yuanyuan, YANG Hao, HE Yongchun, HUANG Mengjia,
YANG Zhenglin, YUAN Jun

(College of Elec. Engineer. /Int. Semicond. College, Chongqing University of Posts and Telecommun.,
Chongqing 400065, P. R. China)

Abstract: A quasi-linear interpolation algorithm which could be applied to DDFS was proposed. The hardware design was achieved on FPGA. The core block of DDFS was the phase-to-sine mapper (PSM). The advantages and disadvantages of the different PSM algorithms were discussed. A piecewise fitting algorithm for sine wave curve utilizing linear functions and parabolic functions was proposed, which had improved the algorithm precision and effectively decreased the algorithm complexity. The algorithm was useful for improving the speed of the hardware. The fitting results were analyzed with Matlab. The polynomial coefficients that could meet the circuit performance requirements were obtained. The hardware design of DDFS based on the quasi-linear interpolation algorithm was given. The Altera's Cyclone II devices were used for FPGA implementation. The experimental results showed that the spectral purity of the proposed DDFS was very high, and the SFDR was -94 dBc. Moreover, the circuit structure was simple and easy to implement.

Key words: DDFS; quasi-linear interpolation algorithm; FPGA

0 引 言

直接数字频率合成 (Digital Direct Frequency

Synthesis, DDFS) 技术于 1971 年由 J. Tirceny 提出,是一种全新的、从相位概念出发的数字频率合成方式,是继直接模拟合成 (Direct Simulation Frequency Synthesis)、锁相环合成 (Phase-Lock

收稿日期: 2017-08-03; 定稿日期: 2017-10-09

作者简介: 王 巍 (1967—), 男 (汉族), 湖南邵阳人, 博士后, 教授, 硕士生导师, 研究方向为集成电路设计。

徐媛媛 (1993—), 女 (汉族), 云南曲靖人, 硕士研究生, 研究方向为数字集成电路设计。

Link Frequency Synthesis, PLL)之后的第三代频率合成技术,也是实现全数字化设备的关键技术^[1-3]。与传统频率合成技术相比,DDFS 具有频率切换时间短、频率分辨率高、相位变化连续等优点,被广泛应用于雷达、软件无线电、通信、生物医学测试仪器等领域^[4]。

自 DDFS 技术被提出以来,国内外学者一直在不断完善 DDFS 理论,引入了各种算法,主要分为四类:角度分解算法^[6]、正弦幅度压缩算法^[6-7]、角度旋转算法^[8]、多项式近似算法^[1]。

角度分解算法中,是根据三角近似公式将三角函数展开,再将不同角度区段对应不同的 ROM 查找表^[1,6]。这种方法直观,但受三角恒等式和近似公式的限制,角度分解困难。正弦幅度压缩算法中,是通过在 ROM 查找表中存储一个误差函数来减小 ROM 的存储量^[1,6-7]。该方法结构简单,但需要引入用于存储误差修正函数的 ROM 查找表。以上两种方法都是基于 ROM 查找表的 DDFS,但随着 DDFS 相位累加器字长的增加,ROM 查找表的规模会很大,存在功耗高、速度慢和实现困难的缺点。因此,近年来 DDFS 的设计重点在于减小 ROM 查找表容量,甚至取代 ROM 查找表,于是有了角度旋转算法和多项式近似算法。

角度旋转算法是基于 CORDIC 算法的实现方法。这种方法能从根本上减小 ROM 查找表的容量,甚至取代 ROM 查找表,但存在延时大、系统工作频率低、输出波形带宽小等缺点^[1,8-9]。

为了克服以上三种方法的缺点,多项式近似算法被提出,即从相位的角度出发,通过分段多项式计算合成所需频率正弦波。该方法实现的 DDFS 频谱纯度高、功耗低、采样精度高,主要分为 1 阶多项式近似算法、2 阶多项式近似算法和高阶多项式近似算法(即 3 阶以上的多项式近似算法)三类^[2,4-5]。

本文采用一种新的类线性多项式算法,降低了算法复杂度,同时保证了较高的精度,并将算法在 FPGA 上进行硬件设计。文章第 1 节分析了 DDFS 的工作原理及传统算法的局限性,第 2 节具体分析了类线性插值算法,第 3 节讨论了算法的 FPGA 设计,最后得出结论。

1 DDFS 的结构与工作原理

一个完整的 DDFS 系统由相位累加器(Phase Accumulator, PAC)、相位-幅度转换模块(Phase-

to-Sine Mapper, PSM)、数模转换器(Digital to Analog Converter, DAC)及低通滤波器(Low Pass Filter, LPF)四个部分构成,输出为正弦波,其原理框图如图 1 所示^[1, 2, 4, 5]。

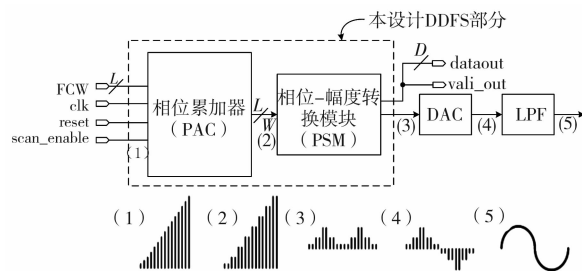


图1 DDFS 原理框图

图 1 中,频率控制字(Frequency Control Word, FCW)本质上是 PAC 的累加步长;clk、reset、scan_enable 分别为系统时钟、重置信号、使能信号;dataout 为输出数字正弦波序列;valid_out 表征输出是否有效。DDFS 的基本工作原理是:PAC 在 L 位 FCW 和 clk 的控制下,产生 L 位数字线性相位序列,经相位截断后,由 PSM 进行正弦波相位-幅度转换,产生正弦波形离散序列,再经过 DAC 转换为模拟波形,最后经 LPF 得到平滑正弦波。

2 类线性插值算法

对于理想正弦波曲线,正弦波的对称性使得 $[0, \pi/2]$ 范围内愈接近 0 处的曲线愈接近直线。整个范围内的曲线可采用线性函数和多项式来进行分段拟合。通过分析,发现线性与抛物线多项式分段的分界点在 $[0, \pi/2]$ 区段的 1/4 处^[2],即在 $[0, \pi/8]$ 范围内为线性区段,故将此区段采用线性方程式 $y_i = a_i x + c_i$ 拟合,而 $[\pi/8, \pi/2]$ 范围内采用抛物线方程式 $y_i = a_i x^2 + b_i x + c_i$ 拟合。这种类线性插值法如图 2 所示。该实现方法比单纯采用抛物线插值法的计算复杂度低,比采用线性插值法的精度高^[4]。

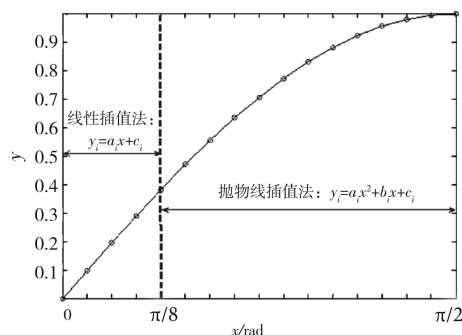


图2 类线性插值法

分段式类线性插值法的核心在于多项式插值法的确定。它决定了拟合正弦波相对于标准正弦波的误差大小,从而影响输出的频谱纯度^[5]。算法的研究要兼顾计算的复杂度与频谱纯度。基本插值法有线性插值法、抛物线插值法、类线性插值法三种^[2]。区段分割方法有均分和非均分两种^[4,5]。

分割数目越多,电路复杂度越高。根据文献[4]可知,采用分段线性插值法、均匀分割 16 段时,可以得到较高频谱纯度的正弦波,约 90 dBc。以此作为参照,借助 Matlab 进行拟合,可以确定本文设计 DDFS 的切割方法。不同分割情况下,拟合正弦波与理想正弦波的误差值是不同的。该误差值的大小决定输出正弦波的频谱纯度。

为了确定分割方式,先采用文献[4]中均分 16 段的方法拟合正弦波,得到这种分割方式下的误差值曲线,如图 3 所示。可以看出,拟合正弦波与标准正弦波之间存在一定误差。

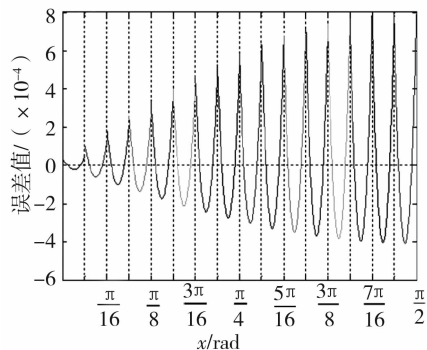


图 3 均分 16 段线性插值法的误差值曲线图

由图 3 可知,采用线性插值法、均分 16 段拟合正弦波时,拟合波形与理想正弦波的误差最大值约为 8×10^{-4} 。以这个值为参照,本文采用类线性插值法拟合正弦波。经 Matlab 拟合,确定本文 DDFS 设计采用的切割方式,即在 $[0, \pi/8]$ 区段均分 4 段,采用线性插值法,间隔为 $\pi/32$;在 $[\pi/8, \pi/2]$ 区段均分 4 段,采用抛物线插值法,间隔为 $3\pi/32$ 。本文类线性插值法如图 4 所示。

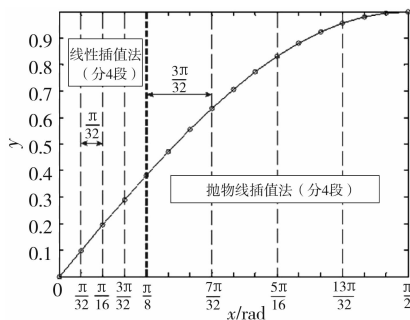


图 4 本文类线性插值法

可以看出,采用类线性插值法,只需切割 8 段就可得到比线性插值法切割 16 段还接近理想正弦波的波形。基于上述插值法,拟合正弦波与理想正弦波的误差值曲线如图 5 所示。

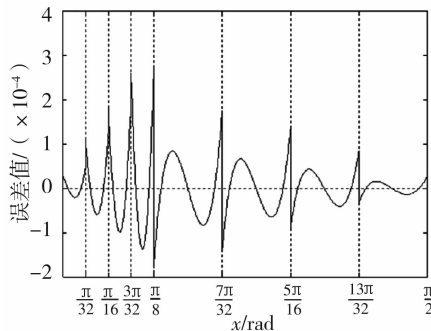


图 5 采用类线性插值法的误差值曲线图

可以看出,误差最大值在 $\pi/8$ 处。采用类线性插值法拟合的正弦波与理想正弦波之间的误差值较小。

3 基于类线性插值法的 DDFS 结构

在 DDFS 系统中,DAC 和 LPF 由现有器件实现,本文设计的是 PAC 和 PSM 部分。

PAC 是 DDFS 最基本的组成部分,由一个 L 位加法器和一个 L 位寄存器级联构成。在时钟 clk 作用下,以 FCW 为步长进行累加,累加满量即产生一次溢出^[4]。

PSM 是 DDFS 的核心部分。传统的 PSM 模块采用 ROM 查找表实现,但 ROM 会使电路功耗增大、运行速度变慢^[2,9]。本文提出的 PSM 无 ROM DDFS 结构,采用类线性插值算法取代 ROM 查表方式,实现相位对正弦波幅度的转换,降低了硬件成本的需求^[5]。

根据正弦波对称性,将第一象限波形经对称翻转,可得到完整的正弦波。因此,电路中使用两个补偿器来实现波形的对称翻转。本文采用最高有效位(MSB1)与次高有效位(MSB2)作为对称翻转的控制位,设计的 DDFS 部分结构框图如图 6 所示。

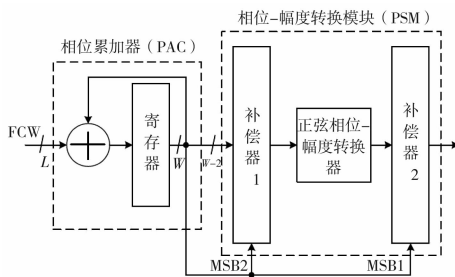


图 6 本文中 DDFS 部分的结构框图

DDFS 设计中通常会用到相位截断技术,即对 PAC 的输出截取高 W 位作为 PSM 的输入。这样可大大降低 PSM 部分的运算复杂度,并且对输出正弦波的频谱纯度影响不大。在图 6 中, $L > W$ 。

对方程式 $y_i = a_i x^2 + b_i x + c_i$ 进行电路实现时,考虑到将该式改写成 $y_i = a_i (x + b_i)^2 + c_i$ 的形式可以减少乘法运算,对上述系数作了相应改变。最终,各分段近似多项式的系数如表 1 所示。

表 1 各分段近似多项式的系数

i	a_i	b_i	c_i
1	0.998 5	-	0.000 0
2	0.988 9	-	0.001 0
3	0.969 8	-	0.004 9
4	0.941 3	-	0.013 3
5	-0.256 6	-2.207 7	1.227 9
6	-0.369 9	-1.740 2	1.044 4
7	-0.451 3	-1.601 6	1.004 7
8	-0.493 8	-1.571 8	1.000 0

正弦相位-幅度转换器中存在乘法和平方运算。而乘法器的大量使用会降低电路的速度,因此考虑采用移位器和加法器代替规模很大的乘法器。同时,将第 3~5 高位 MSB3、MSB4、MSB5 用于控制运算的时机。设计的 PSM 电路结构图如图 7 所示。

相位-幅度转换模块 (PSM)

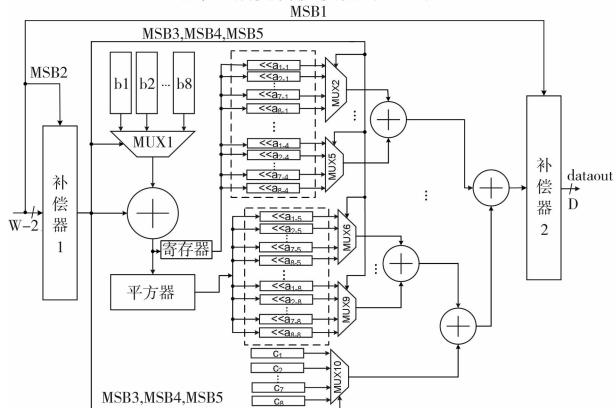


图 7 PSM 电路结构图

图 7 中,补偿器 1 用于实现第一象限正弦波序列的左右翻转,补偿器 2 用于实现上下翻转,最终输出完整的正弦波形。MSB1 和 MSB2 分别为补偿器 1 和补偿器 2 的控制位。 $(x + b_i)$ 部分由加法器和数选器实现,平方电路部分由平方器实现。系数 a_i 乘法运算部分由一系列移位器、加法器和数选器实现,MSB3、MSB4、MSB5 为数选器的控制位。该电路结

构中,补偿器 2 的输出 dataout 即为数字正弦波形序列。

4 基于 FPGA 的 DDFS 实现

FPGA 是实现高速、高性能数字器件的良好选择,本文 DDFS 设计采用 FPGA 来实现。输入 FCW 为 $L=32$,输出位 $D=18$,因此 PAC 位宽为 32 位,即采用 32 位寄存器和 32 位加法器。DAC 是 FPGA 开发板上现成的资源。

4.1 DDFS 的 FPGA 实现

根据以上设计的电路结构,写出相应的 Verilog 代码,然后下载到 FPGA 板上运行。采用的 FPGA 开发板型号为 Altera 公司 Cyclone II EP2C35F672C6。上电复位后,将输出端接入示波器进行观察,实验环境及结果如图 8 所示。从示波器上可以看到完整的正弦波。

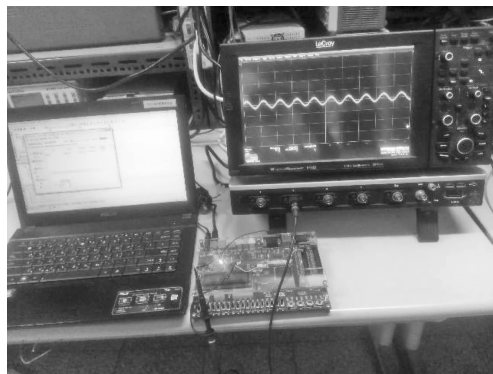


图 8 DDFS 的 FPGA 实现

4.2 DDFS 性能参数

频率分辨率 $\Delta f_0 = f_c / 2^N$ 。 f_c 为系统时钟信号频率,FPGA 板的晶振为 50 MHz,故 $f_c = 50$ MHz。 N 为相位累加器字长,本文取 $N=32$ 。根据频率分辨率计算公式,可得 DDFS 的频率分辨率 $\Delta f_0 = 7.45 \times 10^{-7}$ Hz。

输出正弦波频率 $f_0 = (FCW / 2^N) \times f_c$ 。可以看出,输出频率 f_0 与频率控制字 FCW 成正比。最高输出频率受奈奎斯特采样率的限制,为 $f_{0\text{-max}} = 0.5 f_c$ 。

DDFS 相位截断后,无杂散动态范围为:

$$S_{\text{SFDR}} = 20 \lg \left\{ \frac{\sin[\pi(2^W - 1)/2^N]}{\sin(\pi/2^N)} \right\} \quad (1)$$

式中, W 为相位累加器输出经相位截断后的字长,本文取 $W=20$ 。根据式(1),可计算得到 SFDR = 120 dBc。但由于 DAC 的非线性和其他因素的存

在, SFDR 一般小于这个理论值。对正弦波进行频谱分析, 可得到 SFDR 与频率的曲线图, 如图 9 所示。经分析可知, 本文 DDFS 的 SFDR 可达 -94 dBc。

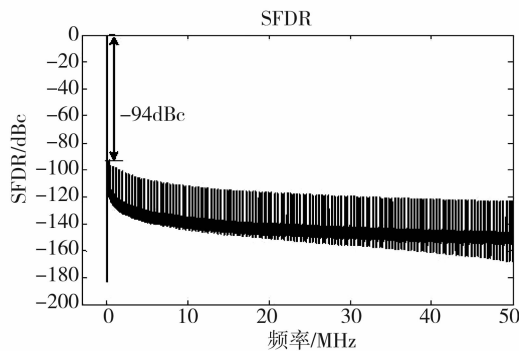


图 9 SFDR 与频率的曲线图

4.3 DDFS 性能比较

将本文 DDFS 的关键性能参数与其他文献进行比较, 结果如表 2 所示。可以看到, 本文 DDFS 的 SFDR 达到 -94 dBc, 频谱纯度高, 工作速度快, 累加器字长 N 值达到 32。与文献[6, 7]相比, 本文 DDFS 的频率最大值较高, 频率分辨率提高了多个数量级, 提高了输出频率的精度。

表 2 DDFS 性能参数比较

参数	文献[6]	文献[7]	本文
L/bit	24	15	32
输出位宽/bit	12	14	18
SFDR/dBc	-80.3	-85	-94
频率最大值/MHz	120	60	136.57

5 结 论

本文对 DDFS 中的相位-幅度转换模块的多项式插值法进行了分析, 提出了类线性插值算法和具体区段分割方法, 并在 Altera 的 Cyclone II 器件上进行 FPGA 实现。基于该算法实现的 DDFS 在频率分辨率、SFDR、工作频率等方面均达到较好的性能, 频率分辨率 Δf_0 为 7.45×10^{-7} Hz, SFDR 达 -94 dBc。该 DDFS 能输出精度高、频谱纯度高的正弦波, 且电路结构简单易实现。

参 考 文 献:

- [1] LANGLOIS J M P, AL-KHALILI D. Phase to sinusoid amplitude conversion techniques for direct digital frequency synthesis [J]. IEE Proceed Circ, Dev & Syst, 2005, 151(6): 519-528.
- [2] ASHRAFI A, ADHAMI R, MILENKOVIC A. A direct digital frequency synthesizer based on the quasi-linear interpolation method [J]. IEEE Trans Circ & Syst I: Regu Pap, 2010, 57(4): 863-872.
- [3] GONCALVES J, FERNENDES J R, SILVA M M. A reconfigurable quadrature oscillator based on a direct digital synthesis system [C] // Des Circ & Integr Syst. Barcelona, Spain. 2006: 1-4.
- [4] CARO D D, PETRA N, STROLLO A G M. Direct digital frequency synthesizer using nonuniform piecewise-linear approximation [J]. IEEE Trans Circ & Syst I: Regu Pap, 2011, 58(10): 2409-2419.
- [5] HUANG J M, LEE C C, WANG C C. A ROM-less direct digital frequency synthesizer based on 16-segment parabolic polynomial interpolation [C] // 15th IEEE Int Conf Elec, Circ & Syst. St. Julien's, Malta. 2008: 1018-1021.
- [6] GENOVESE M, NAPOLI E, CARO D D, et al. Analysis and comparison of direct digital frequency synthesizers implemented on FPGA [J]. Integr VLSI J, 2014, 47(2): 261-271.
- [7] JENG S S, LIN H C, LIN C H. A novel ROM compression architecture for DDFS utilizing the parabolic approximation of equi-section division [J]. IEEE Trans Ultrason Ferroelec & Freq Control, 2012, 59(12): 2603-2612.
- [8] ASOK K S, SAHOO K P. Digital hardware optimization for 1.5-GHz high-speed DDFS [C] // 21st IEEE Int Conf Elec, Circ & Syst. Marseille, France. 2014: 746-749.
- [9] HATAI I, CHAKRABARTI I. A high-speed low-power low-latency pipelined ROM-less DDFS [M]. Berlin: Springer, 2011: 108-119.
- [10] CURTICAPEAN E, NIITYLAHTI J. Exact analysis of spurious signals in direct digital frequency synthesizers due to phase truncation [J]. Elec Lett, 2003, 39(6): 499-501.