# Design and FPGA Implementation of Voltage Comparator with Automatic Threshold Voltage Setting and Adjusting<sup>\*</sup>

ZHAN Guiyang, ZENG Yicheng\*

(School of Physics and Optoelectronic Engineering, Xiangtan University, Xiangtan Hu'nan 411105, China)

Abstract: A voltage comparison circuit with FPGA, AD converter and DA converter as the core is designed, in order to accurately and effectively resolve issues with threshold voltage value of the voltage comparator, and to improve the regulation mode of the threshold voltage. The pulse waveform is sampled utilizing AD module, and the sampling data are inputted to FPGA which reads the waveform peak value and then sets the threshold voltage according to the peak value. The set threshold voltage value is outputted by the DA module in the way of analog voltage, so as to achieve the automatic setting and regulation of threshold voltage. The maximum relative deviation is 3.778% between the measured threshold voltage and the theoretical value. The conclusion demonstrates that the voltage comparison circuit realizes the automatic setting and adjustment of the threshold voltage, with excellent stability, convenient operation, and good practical application.

Key words: voltage comparator; FPGA; AD/DA conversion; threshold voltage; peak detectionEEACC: 1265A; 1265Hdoi: 10.3969/j.issn.1005-9490.2021.05.011

# 具有阈值电压自动设定和调节功能的电压 比较器设计及 FPGA 实现<sup>\*</sup>

詹贵阳,曾以成\* (湘潭大学物理与光电工程学院,湖南湘潭 411105)

**摘 要:**为了准确有效解决电压比较器阈值电压取值大小问题,改进阈值电压的调节方式,设计了一个以 FPGA、AD 转换器、 DA 转换器为核心的电压比较电路。该电路用 AD 模块对脉冲波形采样,并将采样数据输入到 FPGA,FPGA 读取波形峰值,然 后根据峰值设定阈值电压大小。设定好的阈值电压数值被 DA 模块以模拟电压的方式输出,从而实现阈值电压的自动设定和 调节。实测阀值电压与理论值相比,最大相对偏差为 3.778%。结论表明,该电压比较电路实现了阈值电压大小的自动设定和 调节,稳定性好,操作便利,具有很好的应用价值。

关键词:电压比较器;FPGA;AD/DA 转换;阈值电压;峰值检测

中图分类号:TM938.42 文献标识码:A

电压比较器是对输入电压信号进行鉴别与比较 的电路,是组成非正弦波发生电路的基本单元电路, 可用于报警器电路、自动控制电路,测量电路等。

目前电压比较器的阀值电压大小有的采用固定 模式<sup>[1-3]</sup>。有的采用编程可调节模式(通过编程控 制 DAC 的方式来调节阈值电压<sup>[4-8]</sup>,或是通过编程 控制 RC 低通滤波器的积分时间来调节阈值电 压<sup>[9]</sup>)。但无论是采用固定模式,还是可调节模式,其 阈值电压大小的设定主要依赖于设计时的建模理论

#### 文章编号:1005-9490(2021)05-1084-06

及其后续电路模型估算;或是通过独立的第三方设 备,如示波器等,监测输入到电压比较器的信号波形, 再根据该波形峰值设定相应的阈值电压大小。前一 种方式准确性较差;后一种方式操作繁琐,且在特定 环境下(如没有示波器时)无可操作性。总之,目前 设定阈值电压的方式,或要求具有很强的专业性,或 是操作繁琐。基于此,为增加电压比较器阈值电压设 定时的通用性,本文提出新增一个 AD 模块,用于先 检出波形峰值,然后根据峰值自动设定阈值电压大 小,并实现阈值电压的自动调节。具体方法是 AD 波 形采样模块预先对输入脉冲信号采样,并将采样数据 输入到 FPGA,然后 FPGA 读取波形峰值并根据峰值 设定阈值电压大小,设定好的阈值电压数值再通过 DA 阈值电压控制模块输出为模拟电压量,从而实现 电压比较器阈值电压的自动设定和调节。

# 1 系统总体设计

具有阈值电压自动设定和调节功能的电压比较 器设计及 FPGA 实现系统主要包括三个部分:以 AD 转换器为核心的 AD 波形采样模块,FPGA 模块,以 DA 转换器为核心的 DA 阈值电压控制模块。



#### 图1 系统结构图

整个系统工作过程如下:在启动电压比较器模 块之前,首先将输入信号接到 AD 模块,经 AD 模块 对设定时间内的波形采样后,采样数据输入 FPGA 模块的波形峰值读取逻辑单元,读取波形峰值,读得 的峰值结果输入到 FPGA 模块的阈值大小设定运算 逻辑单元参与运算,将运算后得到的阈值电压数值 接到 FPGA 模块的 DA 控制逻辑单元,FPGA 模块的 DA 控制逻辑单元将阈值电压数值输出到 DA 模块, DA 模块将接收到的阈值电压数值由数字量转为物 理的模拟电压量,然后接到电压比较器模块阈值电压数值 输入端,达到更新电压比较器模块阈值电压数值 (甄别电压)的目的。

# 2 系统硬件设计

#### 2.1 AD 波形采样模块的硬件设计

如图 2、图 3 所示, AD 波形采样模块主要 3 部 分电路组成。放大调理电路输出端接差分放大电路 输入端,差分放大电路两输出端接到 AD 模数转换 电路的差分输入端。

放大调理电路主要包括由电阻 R6、R9 构成的 分压电路及 AD8065 构成的电压跟随器,用于将模 拟输入的-5 V~5 V 电压信号压缩成-1 V~1 V 的 电压信号。

由 AD8138<sup>[10]</sup>为主构成的差分放大电路可推导 出以下公式:

$$V_{\text{tout, cm}} = V_{\text{out, cm}} = V_{\text{OCM}} \tag{1}$$

$$V_{\text{+out}} = V_{\text{+out,cm}} + V_{\text{+out,dm}}$$
(2)

$$V_{-\rm out} = V_{-\rm out,\,cm} + V_{-\rm out,\,dm} \tag{3}$$

$$V_{\text{out,dm}} = V_{+\text{out}} - V_{-\text{out}} = V_{+\text{out,dm}} - V_{-\text{out,dm}}$$
(4)

根据图 2 中电路得 V<sub>OCM</sub> = 1.65 V,且每个输出 节点上的输出电压由差模部分和共模部分组成。由 式(1)可知: V<sub>+out,cm</sub>, V<sub>-out,cm</sub>大小相等,极性相同;且 另有 V<sub>+out,dm</sub>, V<sub>-out,dm</sub>大小相等,极性相反。由式(2)、 式(3)可知:每个输出节点均增加共模电平 1.65V, 即每个节点的输出电压范围由原来理论的 -1 V~ 1 V抬升至实际的 0.65 V~2.65 V,即共模电平起到 电平抬升转换作用(因为 AD9238 是单电源+3.3 V 供电,无法检测 0 V 以下电压信号,差模信号进入 AD9238 差分输入端之前,必须先进行电平转换)。 且由式(4)可知:在输出节点上引入共模电压并不 会改变两节点之间差模电压值。

注:式(1)~式(4)中,符号 V<sub>out,dm</sub>指两节点之间 电压之差,其他符号均指对地电压。



图 2 AD 波形采样模块电路原理图-



图 3 AD 波形采样模块电路原理图二

AD9238<sup>[11]</sup>为主构成 AD 模数转换电路是将模 拟信号差分输入,12 位数字量并行输出(最高位为 符号位),并将输出的数字信号接入 FPGA 模块相应 I/O 口管脚。本文 AD9238 参考电压采用内部供应 模式(通过硬件设计使 AD9238 管脚 62(SENSE)接 地达到目的),且参考电压 V<sub>ade ref</sub>=1 V。

#### 2.2 DA 阈值电压控制模块的硬件设计

由 TL431<sup>[12]</sup>为主构成基准源电路(其管脚 2 (REF)固定输出电压约为 *V*<sub>REF</sub> = 2.5 V),调节 R19,则由分压定律,本文中设置 DA 模块(TLC5620)的参考电压 *V*<sub>dac\_ref</sub> = 3 V。

DA 转换电路由 TLC5620 为主构成。TLC5620<sup>[13]</sup>

是 11 位(8 位数据位) 串行输入的数模转换芯片。 由 TLC5620 的数据手册, 可设置本文阈值电压 V<sub>th</sub> 公式:

$$V_{\rm th} = V_{\rm O(DACA)} = V_{\rm dac\_ref} \frac{\rm Code}{256} (1 + \rm Rng)$$
 (5)

式中:变量 Code(8 位二进制数据位)输入范围是整数 0~255。变量 Rng 是输出电压倍增位(0 时不倍增,1 时倍增),本文设置 Rng=0。TLC5620 的输入端接到 FPGA 相应 I/O 管脚,且用 FPGA 对其进行时序控制。TLC5620 输出的阈值电压 V<sub>th</sub>接到电压比较器(LT1715)第二输入端。电压比较器的输出端接到 FPGA 的 I/O 管脚。



图 4 DA 阈值电压控制模块电路原理图

### 3 FPGA 系统程序设计

FPGA 系统程序设计,主要包括波形峰值读取 逻辑单元,阈值大小设定运算逻辑单元及 DA 控制 逻辑单元。

#### 3.1 波形峰值读取逻辑单元

#### 3.1.1 波形峰值检测

波形峰值读取逻辑单元设计主要含两部分,一 部分是对波形峰值的判断读取,另一部分是检出所 有峰值中的最小峰值,且在本文中将最小峰值的一 半设定为电压比较器的阈值电压。

目前波形峰值检测方法有窗口法<sup>[14-15]</sup>,阈值法 等。其中阈值法又分为将阈值设为固定值的双阈值 法<sup>[16-21]</sup>(高低阈值法)或单阈值法<sup>[22-23]</sup>。这些文献描 述的方法多针对自身的应用领域,不太具有普遍的适 用性。针对本系统电路的应用方式,提出了动态单阈 值峰值检测法,即不设固定阈值,将每一个波形最低 点作为本次峰值检测的阈值。具体算法如图 5。

如图 5(a),定义一个 12 位缓存寄存器 buffer\_ val 用来缓存每次波形采样的数据 data\_in1 值。则 当前时钟采样 data\_in1 值与上一个时钟的 data\_in1 值(已存入寄存器 buffer\_val)作比较,就会进入如 图 5(b)的峰值检测三态示意图。



图 5

主要运行机制如下:

(1)满足条件 data\_in1 值==buffer\_val 值时,处 于谷底态,谷底采样计数点 num3 自加1。当由谷底 态进入上升态瞬间,上升沿采样计数点 num1 等于0, 将此刻 buffer\_val 值(peak\_min\_A)赋给 peak\_min1。

(2)满足条件 data\_in1 值>buffer\_val 值时,处于 上升态,上升沿采样计数点 num1 自加1。当由上升 态进入下降态瞬间,下降沿采样计数点 num2 等于0, 将此刻 buffer\_val 值(peak\_max\_A)赋给 peak\_max1。

(3)满足条件 data\_in1 值<buffer\_val 值时,处于 下降态,下降沿采样计数点 num2 自加1。当再次满 足条件 data\_in1 值 = = buffer\_val 值或 data\_in1 值> buffer\_val 值时,进入下一个波形峰值检测。

3.1.2 最小峰值检测

通过峰值检测的三状态法,将设定时间内一组波 形的不同峰值(peak\_max1)检出。其后基于 Verilog HDL语言<sup>[24]</sup>在 vivado软件上采用实时数据流比较 法,直接从已有峰值中找到最小峰值。设定一个 12 位最小峰值寄存器 min\_num(初值设为"FFF"或 "11111111111",即 12′hfff),若每次获得的波形峰值 有 peak\_max1<min\_num,则将 peak\_max1 的值更新到 寄存器 min\_num,否则该寄存器中的值保持不变,直 到在设定时间内比较得到最小峰值。



#### 图 6 最小峰值检测的 RTL 图

#### 3.2 阈值大小设定运算逻辑单元及 DA 控制逻辑单元

本文中将最小峰值的一半设定为电压比较器的 阈值电压 V<sub>th</sub>。

$$V_{\rm th} = 5 \times V_{\rm ade\_ref} \times \frac{|\min\_mum-12'h800|}{2048} \times \frac{1}{2} \quad (6)$$

注:式(6)中的'5'表示还原未被放大器 AD8065 缩小之前的信号;绝对值号内表示去掉 min\_num 的 符号位(min\_num 的第 12 位为符号位);'1/2'表示 取最小峰值的一半。联立式(5)、式(6),计算出变量 Code 值,并输出到 DA 控制逻辑单元。

如图 7,A 框内部主要逻辑:针对 AD9238 的时



图 7 FPGA 系统程序设计的顶层 RTL 图

序控制逻辑,波形峰值检测,最小峰值检测。B 框内 部主要逻辑:阈值大小设定运算逻辑单元,针对 TLC5620 的 DA 控制逻辑单元。

#### 3.3 FPGA 系统程序设计仿真结果分析

由图8可知:

(1)在 num2=0 时, peak\_max1 先后取得峰值12'hffc, 12'he08。

(2)最小峰值 min\_num 先后取值为 12'hffc,12' he08,并最终停留在 12'he08。

(3) DAC\_disp\_data 先后取值为 8'hd4,8'ha0,并 最终停留在 8'ha0。

将 min\_num = 12'he08 代入式(6),得阈值电压  $V_{th1}$  = 1.885 V。将 Code = DAC\_disp\_data = 8'ha0 代 入式(5),得阈值电压  $V_{th2}$  = 1.875 V。经计算  $V_{th1}$ 与  $V_{th2}$ 两者仿真理论相对偏差约为 0.53%。该理论相 对偏差是由于 TLC5620 输出的有效数据较少 (TLC5620 有效数据位是 8 位,AD9238 有效数据位 是 11 位),分辨率低造成的。



图 8 FPGA 系统程序设计仿真结果示意图

#### 4 实测结果分析

为了验证本文设计的系统电路及程序正确 性,进行实测实验。首先使用 KEYSIGHT 公司生 产的型号为 33600A 波形发生器生成如图 5(a)所 示的一组具两个不同峰值的波形,并在满足奈奎 斯特定理的基础上,设置 AD9238 的采样速率为 5 Msample/s。然后接入系统电路进行测试,并使 用万用表实测 TLC5620 输出的阈值电压大小。同 时,用 Tektronix 生产的 MDO3052 型示波器测量波 形发生器生成的波形,并与本文系统电路测量的 结果对比。

由表1可知:本文系统电路实测阈值电压与理 论阈值电压有微小差别,但在误差范围内,两者最大 相对偏差为3.778%;示波器所测阈值电压与理论阈 值电压也有一定差别。另外,由表1中数据还可知 系统电路实测阈值电压与示波器所测阈值电压具有 很好的相关性。

组别	波形发生器生成波形			系统电路实测		示波器实测		
	第一波 峰值	第二波 峰值	理论阈值电压 (第二波峰值/2)	实测阈值 电压	相对偏差 /%	实测第二 波峰值	阈值电压 (实测第二波峰值/2)	相对偏差 /%
1	7.60	4.90	2.45	2.44	-0.408	4.88	2.44	-0.408
2	6.04	3.90	1.95	1.951	0.051	3.84	1.92	-1.538
3	4.49	2.90	1.45	1.462	0.828	2.88	1.44	-0.690
4	2.94	1.90	0.95	0.968	1.895	1.86	0.93	-2.105
5	1.39	0.90	0.45	0.467	3.778	0.88	0.44	-2.222

表 1 输入波形 10 kHz 时阈值电压实测结果(电压单位:V)

## 5 结论

本系统电路以 AD 转换器、DA 转换器以及 FPGA 为核心,采用硬件电路设计与 FPGA 系统程 序设计相结合的方式。先用 AD 模块对波形采样, 并将采样数据输入到 FPGA。然后 FPGA 根据采样 数据读取波形峰值,并将读取到的最小峰值的一半 输出到 DA 模块,该数值被 DA 模块以模拟电压方 式输出,并接到电压比较器的第二输入端,从而实现 电压比较器阈值电压(甄别电压)自动设定和调节。 而传统电压比较器阈值电压设定主要依赖于设计时 的建模理论及其后续电路模型估算,该方式的准确 性较差;或是通过独立的第三方设备,如示波器等, 监测输入到电压比较器的信号波形,再根据该波形 峰值设定相应的阈值电压大小,此方式操作繁琐,且 在特定环境下(如没有示波器时)无可操作性。但 是,该系统电路因为是先启动 AD 模块运行,直到电 压比较器的阈值电压更新后,再启动电压比较器工

# 作,所以其主要适用于测量那些脉冲信号可重复稳 定发射的领域,如放射探测,辐射防护,非破坏性物 质分析,自动控制等领域。

#### 参考文献:

- Ramadoss N, George B. A Simple Microcontroller Based Digitizer for Differential Inductive Sensors [C]//2015 IEEE International Instrumentation and Measurement Technology Conference(I2MTC) Proceedings, Pisa, Italy, 2015, 148–153.
- [2] Bhagat C K, Das N K, Mukhopadhyay C K, et al. Hardware-Based Parameter Extraction of Acoustic Emission Burst Signal for Structural Health Monitoring Applications [J]. IETE Journal of Research, 2019, 65(2):157-163.
- [3] Ghani M U, Li Y, Wu X, et al. Image Quality Assessment of a Photon Counting Detector in X-Ray Projection Imaging [J]. Nuclear Instruments and Methods in Physics Research Section A: Accelerators, Spectrometers, Detectors and Associated Equipment, 2019, (939):83-88.
- [4] Czaja Zbigniew. A Measurement Method for Capacitive Sensors Based on a Versatile Direct Sensor-to-Microcontroller Interface Circuit[J]. Measurement, 2020(155):1-11.
- [5] Won J Y, Lee J S. Highly Integrated FPGA-Only Signal Digitization Method Using Single-Ended Memory Interface Input Receivers for Time-of-Flight PET Detectors[J]. Transactions on Biomedical Circuits and Systems, 2018, 12(6):1401-1409.
- [6] Liu J, Dai L, Zhang B, et al. Ultra-Low Level Light Detection Based on the Poisson Statistics Algorithm and a Double Time Windows Technique With Silicon Photomultiplier [J]. Journal of the Eccetron Devices Society, 2019(7):722-727.
- [7] Wang Disheng, Du Lin, Yao Chenguo. UHF PD Measurement System with Scanning and Comparing Method [J]. IEEE Transactions on Dielectrics and Electrical Insulation, 2018, 25(1):199–206.
- [8] 刘海宁.基于单片机阈值数字可调电压比较器设计[J].机械 制造与自动化,2013,42(4):181-183.
- [9] Park J, Seong K, Noh H K, et al. An ECG Monitoring System Using Android Smart Phone [C]//2016 IEEE International Conference on Consumer Electronics-Asia (ICCE-Asia), Seoul Korea, 2016:1 -4.
- [10] Low Distortion Differential ADC Driver AD8138 [ EB/OL ]. https://www.analog.com,(2010)/[2020-11-05].
- [11] 12-Bit, 20MSPS/40MSPS/65MSPS Dual A/D Converter AD9238



**詹贵阳**(1986—),男,硕士研究生。主 要研究方向为微弱光电信号检测; [EB/OL]. https://www.analog.com, (2010)/[2020-11-05].

- [12] TL431/TL432 Precision Programmable Reference [EB/OL]. https://www.ti.com,(2018)/[2020-11-05].
- [13] TLC5620C,TLC5620I QUADRUPLE 8-BIT DIGITAL-TO-ANALOG CONVERTERS[EB/OL]. https://www.ti.com,(2001)/[2020-11-05].
- Bisharad D, Dey D, Bhowmick B. Fast Detection of P, Q, S and T Waves from Normal ECG Signals Using Local Context Windows [C]// 2018 IEEE International Conference on Real-Time Computing and Robotics (RCAR), Kandima, Maldives, 2018, 427–432.
- [15] Sadhukhan D, Mitra M. Detection of ECG Characteristic Features Using Slope Thresholding and Relative Magnitude Comparison [C]//2012 Third International Conference on Emerging Applications of Information Technology, Kolkata, India, 2012:122-126.
- [16] Ma J A,Shi C,Zhang Z M, et al. A Differentiation-Based Adaptive Double Threshold Method for Real Time Electrocardiogram R peak Detection [C]//2014 7th International Conference on Biomedical Engineering and Informatics, Dalian, China, 2014:259–263.
- [17] Orlandic L, Giovanni E D, Arza A, et al. REWARD: Design, Optimization, and Evaluation of a Real-Time Relative-Energy Wearable R-Peak Detection Algorithm [C]//2019 41st Annual International Conference of the IEEE Engineering in Medicine and Biology Society(EMBC), Berlin, Germany, 2019: 3341–3347.
- [18] 何艳,张流强,张建,等. 基于 FPGA 的高速峰值检测[J]. 核电 子学与探测技术,2016,36(1):43-47.
- [19] 杨成禹,王琦,毕伟权,等. FPGA 实现角膜变形信号峰值时刻 检测的研究[J]. 长春理工大学学报(自然科学版),2019,42
  (4):37-41.
- [20] 郭宗平,王厚军,戴志坚. 信号采集中峰值检测电路的设计与 实现[J]. 中国测试,2011,37(3):63-66.
- [21] 李修一.具有快速捕获与大容量存储功能的高速数据采集模 块设计[D].成都:电子科技大学,2012:27-28.
- [22] Hwang T H, Reh J, Effenberg A, et al. Real-Time Gait Event Detection Using a Single Head-Worn Inertial Measurement Unit [C]//2016 IEEE 6th International Conference on Consumer Electronics-Berlin (ICCE-Berlin), Berlin Germery, 2016;28-32.
- [23] 袁源,张流强,罗小丽,等.一种实时核脉冲信号峰值检测方法[J].核技术,2019,42(2):(020404-1)-(020404-7).
- [24] 蔡觉平,李振荣,何小川,等. Verilog HDL 数字集成电路设计原 理与应用[M]. 第2版. 西安:西安电子科技大学出版社, 2016:40-50.



曾以成(1962—),男,通讯作者,博士, 教授,博士研究生导师。主要研究方 向为混沌电路与系统;专用电路设计, yichengz@ xtu.edu.cn。