

High Speed Signal Processing Circuit of Phased Array Detector Based on FPGA *

YUAN Bin^{1*}, CHEN Shuli²

(1. School of Electromechanical Engineering, Henan Polytechnic, Zhengzhou 450046, China;
2. School of Electrical Engineering, Zhengzhou University, Zhengzhou 450001, China)

Abstract: In order to reduce the complexity of phased array detector structure, a five-channel high speed signal process circuit is designed based on PFFA. The digital down converter is designed using Coordinate Rotating Digital Computer and multiphase decomposition filter, which reduces the processing burden of each data stream. In Direction of Arrival module, an improved shrinkage array method is introduced to realize parallel processing of data and shorten the search time of spatial spectrum. The programmable design of beamforming network is realized by using embedded multipliers and adders, and the response speed reaches millisecond level. The experimental results show that the total delay of the designed circuit is only 1.242 ms, the original signal can be amplified to nearly 13 dB, and the measurement error of direction angle is less than 1 degree, realizing high-speed processing of radio base-band signal.

Key words: high speed signal processing; phased array detector; FPGA; eigen value decomposition; polyphase decomposition filtering

EEACC: 2220J; 6140

doi: 10.3969/j.issn.1005-9490.2020.01.026

基于 FPGA 的相控阵探测器高速信号处理电路 *

苑彬^{1*}, 陈书立²

(1. 河南职业技术学院机电工程学院, 郑州 450046; 2. 郑州大学电气工程学院, 郑州 450001)

摘要: 为了降低相控阵探测器结构的复杂度, 基于现场可编程门阵列 FPGA 设计了五通道高速信号处理电路。采用坐标旋转数字计算机 CORDIC 和多相分解滤波器设计了数字下变频器, 降低每个数据流的处理负担。在波达方向 DOA 模块中, 引入改良的收缩阵列方法, 实现了对数据的并行处理, 缩短了空间谱的搜索时间。利用嵌入式乘法器和加法器实现了波束形成网络 BFN 的可编程设计, 使响应速度达到了毫秒级。实验结果表明: 设计的电路总延迟仅为 1.242 ms, 能将原始信号放大到近 13 dB, 方向角测量误差小于 1°, 实现了对无线电基带信号的高速处理。

关键词: 高速信号处理; 相控阵探测器; 现场可编程门阵列; 特征值分解; 多相分解滤波

中图分类号: TN45

文献标识码: A

文章编号: 1005-9490(2020)01-0128-05

相控阵探测器被广泛应用于军事、航空、气象和医疗等领域, 在处理信号过程中, 往往伴随着大量的回波信号, 传统的信号处理电路难以满足探测器的实时性要求^[1-3]。解决系统实时性问题主要有提升硬件性能和优化信号处理算法两种方法。古磊等^[4]采用 ARM 和 CPLD 自主开发了 4×4 有源相控阵探测系统, 简化了系统结构和运算过程。张朝柱等人^[5]将固定角度旋转算法(Coordinate Rotation Digital Computer, CORDIC)应用到高速信号处理当中, 有效地减少了运算的迭代

次数, 从而降低了系统资源的消耗。

随着高速可编程数字信号处理器和片上系统的发展, 电路尺寸越来越小, 功能越来越丰富和灵活, 这已成为一个明显的趋势。然而, 在相控阵探测器信号处理领域, 没有通用的可编程芯片能够高度集成数字下变频器(Digital Down Converter, DDC)、波束形成网络(Beamforming Network, BFN)、阵列测向等典型的 IP 核^[6-7]。为了降低相控阵探测器硬件结构的复杂度, 并提升信号处理响应速度, 设计了一种高度集成

项目来源: 国家自然科学基金青年基金项目(61603344)

收稿日期: 2019-03-26 修改日期: 2019-05-14

的通用阵列高速信号处理电路, 将五通道数字下变频器、波束形成网络和波达方向 (Direction of Arrival, DOA) 等功能集成到现场可编程门阵列 FPGA 芯片中, 实现了对无线电基带信号的高速处理。实验结果表明系统各模块结构简单、抗干扰能力强、测向精度高、响应速度快, 具有较高的工程价值。

1 相控阵探测器高速信号处理电路

相控阵探测器高速信号处理电路采用 FPGA 平台设计, 主要由 DDC 模块、DOA 模块、BFN 单元及串行快速输入/输出接口等组成, 系统框图如图 1 所示。

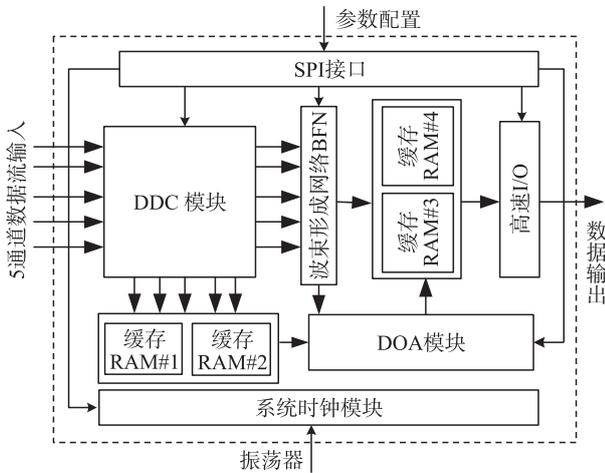


图 1 系统框图

从信道获取的信号, 经过 ADC 芯片采样后, 形成 5 路并行数据流输入 DDC 模块, 其数据格式采用 14 位二进制补码。DDC 模块将采样的高速信号转换为低速基带 I/Q 信号, 放到缓存 RAM #1 和 RAM #2 中, 并等待 DOA 模块的调用。同时, 低速基带 I/Q 信号还将被发送至 BFN 中, 实现数字波束成形功能。BFN 模块和 DOA 模块的处理结果存储在 RAM #3 和 RAM

#4 中, 将其封装形成 150 Mbit/s 的数据流, 并输出至串行快速输入/输出接口。系统参数通过 SPI 配置至每个可编程模块中, 系统时钟由锁相环 IP 核产生。

1.1 DDC 模块设计

DDC 模块主要实现对高速采样信号的混频、低通滤波和载波提取, 为减少硬件资源消耗, DDC 模块采用了坐标旋转数字计算机 CORDIC 和多相分解滤波器设计^[8-9]。由于 CORDIC 算法电路实现简单, 通过简单移位和加法运算就能实现, 有两种工作模式: 在矢量模式下工作时, CORDIC 算法输入正交矢量, 输出相位角和振幅; 在旋转模式下工作时, 输入矢量的相位角和振幅, 输出旋转矢量坐标。在混频模块中, 本文采用了工作于旋转模式下的 CORDIC 算法。单通道原理如图 2 所示。

矢量旋转公式表示为:

$$p = K\sqrt{a_0^2 + b_0^2} (\cos\theta_d, \sin\theta_d)^T \quad (1)$$

令 $a_0 = 0, b_0 = \sin(\omega_{IF} T_n + \varphi_{IF}), \theta_d = \omega_{FTW} T_n + \varphi_{PTW}$, $\omega_{FTW} = 2\pi f_{sys} FTW / 2^N, \varphi_{PTW} = 2\pi PTW / 2^N$, 可得到:

$$p = K [\sin(\omega_{IF} T_n + \varphi_{IF}) \cos(\omega_{FTW} T_n + \varphi_{PTW}), \sin(\omega_{IF} T_n + \varphi_{IF}) \sin(\omega_{FTW} T_n + \varphi_{PTW})]^T \quad (2)$$

这样 CORDIC 电路就能够方便地实现混合功能, 而不需要逻辑查找表^[10]。

采用多相分解滤波器, 用来滤除式 (2) 中的高频分量, 从而降低采样率。传统的 FIR 滤波器表示为:

$$y(n) = h(n) * x(n) = \sum_{k=0}^{N-1} h(k)x(n-k) \quad (3)$$

式中: $k=0, 1, 2, \dots, N-1$ 。利用 z 变换多相分解 FIR 滤波器的传输函数可以改写为:

$$H(z) = \sum_{k=0}^{\infty} h(k)z^{-k} = \sum_{l=0}^{M-1} z^{-l} \sum_{k=0}^{\infty} h(Mk+l)z^{-Mk} \quad (4)$$

式中: M 表示下采样率。该结构能够有效提高卷积

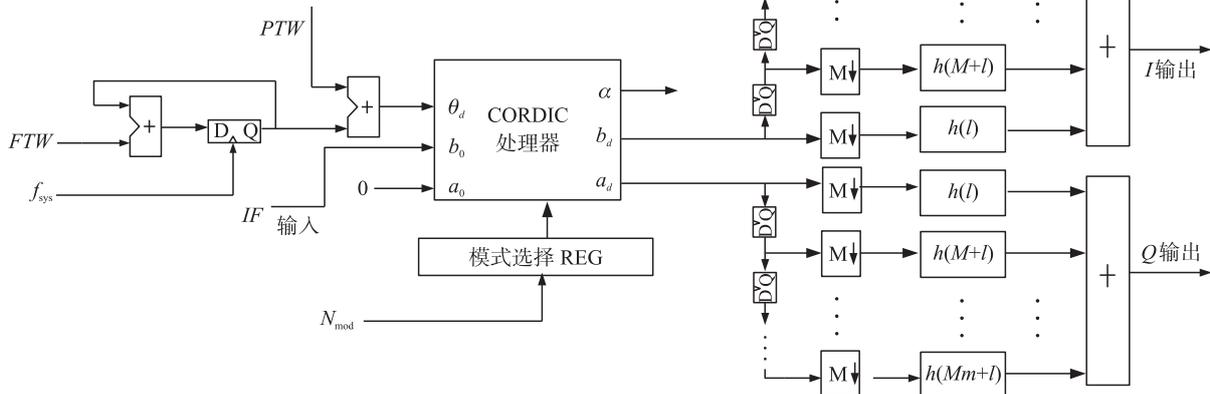


图 2 单通道 DDC 单元原理图

速度,降低每个数据流的处理负担^[11]。

1.2 DOA 模块设计

DOA 模块主要由协方差计算单元、特征值分解 (Eigen Value Decomposition, EVD) 元和二维频谱峰值搜索单元组成^[12-13],结构如图 3 所示。其中,特征值分解单元和二维频谱峰值搜索单元的计算复杂度最高。

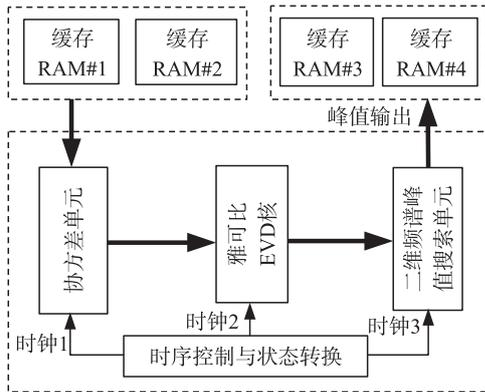


图 3 DOA 单元原理图

EVD 单元的核心采用雅可比迭代解来计算特征值向量,如图 4 所示。传统的雅可比方法需要求出非对角单元的最大绝对值,不适合并行计算,本文采用了改良的收缩阵列方法。

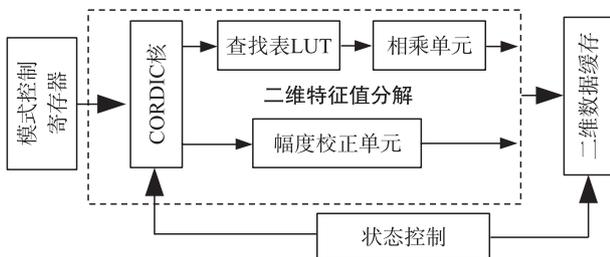


图 4 EVD 单元原理图

对于偶数阶向量,将其分解为 $(n/2)^2$ 个 2×2 阶的处理元素(PE)。需要从位于主对角线的 PE 计算出所需的旋转角度,然后每个 PE 都应该以所需的角度完成旋转迭代。显然,每个 PE 的迭代都可以在 FPGA 中并行化。对于奇数序向量,在主矩阵中分别添加一行和一列 0 元素形成偶数向量。

对于二维对角矩阵,EVD 公式为:

$$\begin{bmatrix} \cos\theta & -\sin\theta \\ \sin\theta & \cos\theta \end{bmatrix} \begin{bmatrix} a & b \\ c & d \end{bmatrix} \begin{bmatrix} \cos\varphi & -\sin\varphi \\ -\sin\varphi & \cos\varphi \end{bmatrix} = \begin{bmatrix} \lambda_1 & 0 \\ 0 & \lambda_2 \end{bmatrix} \quad (5)$$

式中: θ 表示左旋转矩阵的角度, φ 是右旋转矩阵的角度,必须满足以下等式:

$$\begin{cases} \theta - \varphi = \arctan \frac{b-c}{a+d} \\ \theta + \varphi = \arctan \frac{b+c}{d-a} \end{cases} \quad (6)$$

对每个 PE 中的二位对角矩阵分解,旋转迭代公式:

$$\mathbf{R}_{\theta L}^T \begin{bmatrix} a & b \\ c & d \end{bmatrix} \mathbf{R}_{\varphi R} = \begin{bmatrix} a_0 & b_0 \\ c_0 & d_0 \end{bmatrix} \quad (7)$$

式中: $\mathbf{R}_{\theta L}$ 表示同一行中对角线元素的左旋转矩阵, $\mathbf{R}_{\varphi R}$ 表示同一列中对角线元素的右旋转矩阵。

旋转操作由 CORDIC 核心实现,如图 5 所示。为了缩短空间谱的搜索时间,系统需要指定源数 D ,存储搜索范围的转向向量权重 $\mathbf{a}(\theta)$ 。

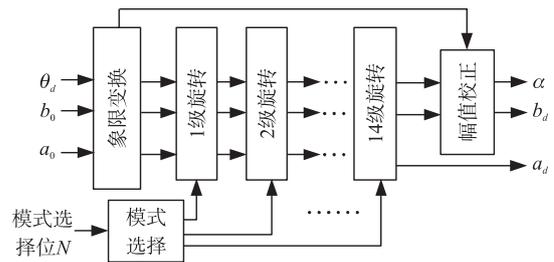


图 5 CORDIC 核心

从 DOA 模块调用噪声矩阵来计算伪频谱:

$$P_{\text{music}} = \|\mathbf{E}_N^H \mathbf{a}(\theta)\|_2^2 \quad (8)$$

式中: \mathbf{E}_N^H 表示来自 EVD 的 $(N-D) \times N$ 噪声矩阵, $\mathbf{a}(\theta)$ 表示转向矢量权重。实部和虚部分别存储在 Cache LUT 1 和 Cache LUT 2 中。比较和排序单元搜索出最小值 D ,并输出索引地址 θ_i 和相应的伪频谱功率到高速缓存 RAM 中^[14]。

1.3 波束形成网络设计

由于 BFN 是高度可编程的,对于 5 通道 BFN,需要 10 个嵌入式乘法器和 5 个加法器实现复杂的乘法,BFN 单元原理如图 6 所示。

加权系数可以由内部矢量权重计算 (VWC) 单元提供,也可以直接由外部 SPI 总线提供。如果由

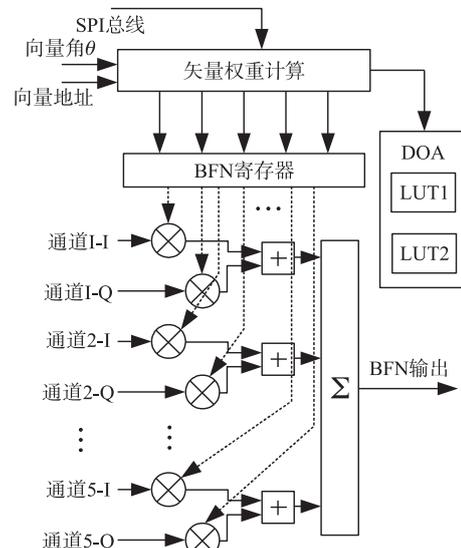


图 6 BFN 单元原理图

内部 VWC 单元提供, 应配置其他参数以将波束导向特定方向, 如: 矢量角度和矢量地址。波束形成网络 REG 用于存储加权系数, 并将其输入到相应的复杂乘法网络^[15]。实际上, VWC 单元还负责计算 DOA 模块的复杂转向矢量。一旦配置完成后, VWC 将在指定范围内自动计算 $a(\theta)$, 并存储到 DOA 模块 LUT 中。VWC 单元原理如图 7 所示。

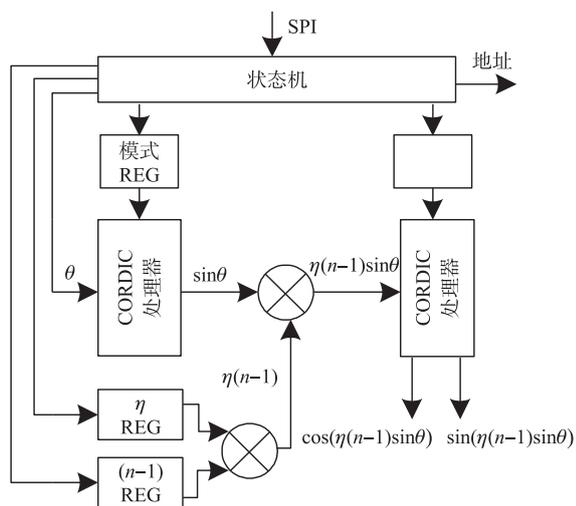


图 7 VWC 单元原理图

转向矢量可以表示为:

$$a(\theta)^T = [1, e^{j\frac{2\pi fd \sin\theta}{c}}, \dots, e^{j\frac{2\pi fd(n-1) \sin\theta}{c}}] = \begin{bmatrix} 1, \cos\left(\frac{2\pi fd \sin\theta}{c}\right), \dots, \cos\left(\frac{2\pi fd(n-1) \sin\theta}{c}\right) \\ j \left[0, \sin\left(\frac{2\pi fd \sin\theta}{c}\right), \dots, \sin\left(\frac{2\pi fd(n-1) \sin\theta}{c}\right) \right] \end{bmatrix} \quad (10)$$

式中: f 表示工作频率, d 是矢量距离。因此, $a(\theta)$ 就可以通过 $\sin\theta$ 和如下函数的乘积来求得:

$$\cos\left(\frac{2\pi fd(n-1) \sin\theta}{c}\right) + j \sin\left(\frac{2\pi fd(n-1) \sin\theta}{c}\right) \quad (11)$$

两者通过 CORDIC 旋转模式实现。

1.4 串行快速 I/O 模块设计

串行快速输入/输出 (Serial Rapid I/O, SRIO) 模块是一种通用的高速总线接口, 与外部存储器接口等其他数据传输方式相比, 它占用芯片管脚较少 (仅 6 个嵌入式 FPGA 高速 I/O 管脚), 传输效率较高, 可以满足实时处理的要求。首先, 将波束形成数据和 DOA 结果存储到 RAM #3 和 RAM #4 中, 一旦这些 RAM 中的数据满了, 内置 SRIO 核心将打包这些数据, 并向外部 DSP 或 SRIO 路由设备发送请求命令。DSP 作为 SRIO 从设备, 应立即响应请求并接收数据。SRIO 能够将 256×8 位数据封装在一个包中, 并能在一帧中传输 16 个包。通过实验测试, 实际 SRIO 数据传输速率可达 221 Mbit/s。

2 实验结果与分析

采用 Altera Stratix V GX FPGA 芯片设计了相控阵探测器的高速信号处理电路, 芯片具有 358 500 个自适应逻辑模块 ALM 和 512 个 18×18 位的乘法器。为了更精确地测试其处理性能, 记录了每个功能模块的输入输出延迟, 如表 1 所示, 其中系统时钟设置为 250 MHz。

表 1 每个功能模块的输入输出延迟 单位: ms

模块	DDC	BFN	DOA	总计
延时	0.175	0.084	0.983	1.242

从表 1 可以看出: DDC 模块、BFN 模块和 DOA 模块的总延迟仅为 1.242 ms, 完全满足实时系统的工作要求。为了验证处理电路的性能, 搭建了闭环测试系统, 阵列信号发生器采用 5 片 AD9954 芯片作为频率合成器, 可方便地调节各个通道的初始相位。工作频率为 75 MHz, 采样电路采用 AD9652 开发板, 采样率高达 200 Msample/s, 将来自 ADC 的高速数据流直接送入 FPGA, 实现所设计的功能。DSP 存储处理后的数据, 通过 USB 总线将其传送到 PC 机^[16]。实验平台如图 8 所示。

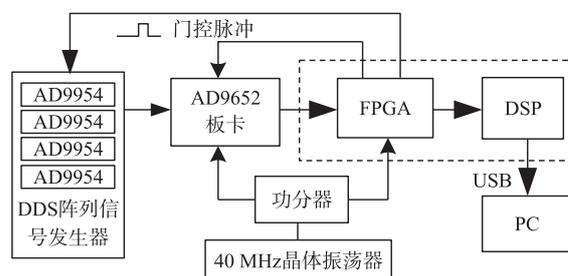


图 8 实验平台

利用阵列信号发生器模拟一组 30° 方向的矢量波, BFN 的主瓣被导向相应的方向, 对其相关参数进行测量, 得到的实验结果如图 9 所示。

图 9(a) 显示了来自 DDC 模块的 5 个通道中的基带正交 I/Q 信号, LO 频率为 75 兆赫。横轴表示采样快照, 纵轴表示归一量化幅值。从图中可以看出基带正交信号完全能够跟踪各个通道的信号波形。图 9(b) 显示了单通道信号和波束求和信号的频谱。显然, 波束形成模块将原始信号放大到近 13 dB, 使得相控阵探测器具有足够的抗干扰能力, 验证了所提方案可行性; 此外, 还绘制在每个通道中的相位曲线, 如图 9(c) 所示, 从图中可以看出, 经过通道校准后, 各个通道内的信号连续变化, 没有信号失真的现象。图 9(d) 绘制了来自 DOA 模块的 MUSIC 频谱数据。到达信号方向从 -30° 到 30° , 步长为 10° , 显示所设计的相控阵探测器能够精确测量方向角, 且误差小于 1° 。

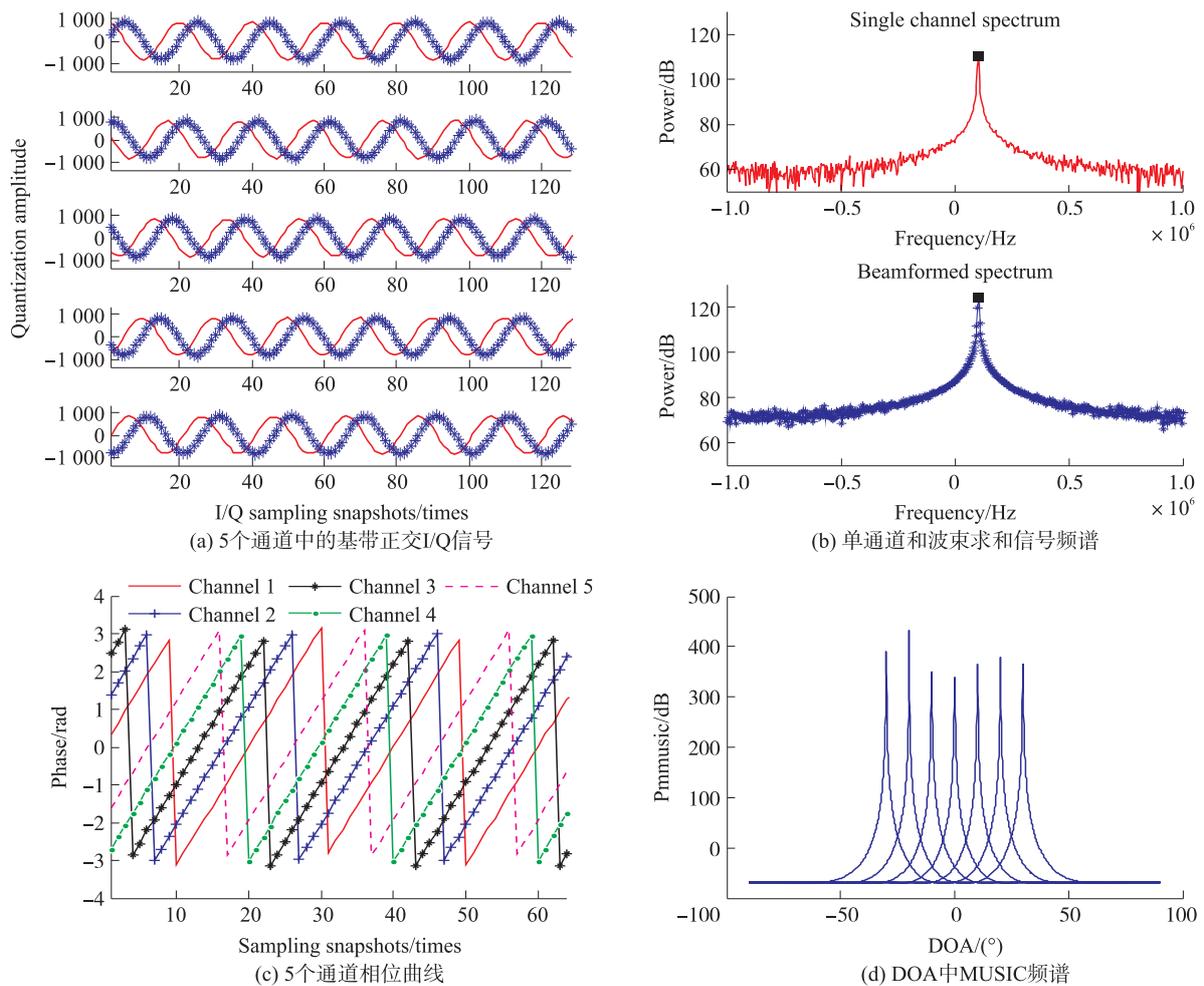


图 9 实验结果

3 结束语

针对相控阵探测器在处理大量回波信号中存在延时的问题,采用 FPGA 平台设计了无线电基带高速处理电路,通过管道坐标旋转数字计算机CORDIC 实现数字混频、下变频和滤波等操作,使用改良的收缩阵列实现了对数据的并行处理,与其他类似的功能电路相比,该系统大大减小了器件尺寸和调试复杂度。此外,该设计能够精确跟踪采样基带信号的连续相位变换。实验结果表明:本文设计的电路在保证信号不失真的前提下,将原始信号放大了近 13 dB,并且响应速度能够控制在毫秒级,方向角测量误差小于 1° ,能够满足系统对实时性和精度的工作要求。

参考文献:

[1] 张浩为,谢军伟,师俊朋,等. 动态优先级防空相控阵雷达在线交错调度算法[J]. 系统工程与电子技术,2017,39(3):529-535.
 [2] 刘帅琦,王布宏,李夏,等. 二维嵌套混合 MIMO 相控阵雷达接收阵列设计[J]. 航空学报,2018,25(4):173-181.

[3] 张浩,张艳秋,赵梦娟,等. 基于 FPGA 的高强度聚焦超声相位控制系统设计[J]. 应用声学,2018,37(6):855-860.
 [4] 古磊,竺小松. 有源相控“智能蒙皮”波束控制系统的设计与实现[J]. 火力与指挥控制,2018,43(4):152-157,164.
 [5] 张朝柱,韩吉南,燕慧智. 高速高精度固定角度旋转CORDIC 算法的设计与实现[J]. 电子学报,2016,44(2):485-490.
 [6] 吉炜寰,邹玉炜,黄磊. 基于全流程并行加速的改进数字下变频器设计[J]. 电子器件,2017,40(1):142-146.
 [7] 李杏华,江尚良,刘全利,等. 高精度波束形成的相控阵超声系统研究[J]. 传感技术学报,2017,30(3):471-476.
 [8] 姚亚峰,冯中秀,陈朝. 超低时延免迭代CORDIC 算法[J]. 西安电子科技大学学报,2017,44(4):162-166,173.
 [9] 周云,冯全源. 一种基于流水线DA算法的数字下变频器[J]. 微电子学,2016,46(1):54-57.
 [10] 蔡权利,高博,龚敏. 基于FPGA的CORDIC算法实现[J]. 电子器件,2018,41(5):1242-1246,1256.
 [11] 郭业才,顾弘毅,王超,等. 基于FIR滤波器的改进恒定束宽波束形成算法[J]. 四川大学学报(自然科学版),2018,55(5):977-984.
 [12] 陈显舟,杨旭,方海,等. 基于阵列流型盲辨识的MIMO雷达二维DOD和二维DOA联合估计[J]. 电子学报,2018,46(9):2270-2275.

- [5] 商庆健. 基于数字锁相放大器的微弱光电信号检测研究[D]. 兰州:兰州交通大学,2015.
- [6] 牛坤旺. 高灵敏度紫外光离子化器件研究[D]. 太原:中北大学,2012.
- [7] 何源,黄梦涛,王伟峰. 基于 STM32L151 的便携式气体检测仪设计[J]. 电子产品世界,2018,25(1):49-51.
- [8] 田永强,田慕琴. 基于 FPGA 的多路矿用气体传感器智能调校系统[J]. 传感器与微系统,2014,33(11):69-72.
- [9] 周琪,张思祥,张旭. 光离子化检测器的电离室结构优化与实验研究[J]. 传感技术学报,2018,31(3):323-328.
- [10] 殷亚飞. 光离子化气体报警仪的研究与实现[D]. 太原:中北大学,2011.
- [11] 刘洋. 光离子化气体传感器的研究与设计[D]. 哈尔滨:哈尔滨工程大学,2013.
- [12] 李璟,高戈,康霖. 便携式有害气体检测仪的设计[J]. 电子测试,2018(8):15,17.
- [13] 李立明,陈影. 基于 Zigbee 的无线传输电路的抗电磁干扰优化设计[J]. 电子设计工程,2012,20(12):89-91.



刘 涛(1992-),男,汉族,山西大同人,中北大学,硕士研究生,主要研究传感器设计,1903039473@qq.com;



王红亮(1979-),男,汉族,河南人,副教授,博士,主要研究数据采集,测试系统集成,超声成像,1103223394@qq.com。

(上接第 132 页)

- [13] 毛维平,李国林,谢鑫. 直接数据特征值分解的相干源 DOA 估计[J]. 北京理工大学学报,2014,34(9):934-939.
- [14] 胡丞,宋荣方. 大规模 MIMO 系统中基于 EVD 半盲信道估计的导频污染研究[J]. 南京邮电大学学报(自然科学版),2016,36(1):50-58.
- [15] 向海生,杨宇宸,卢晓鹏,等. 基于罗特曼透镜的宽带多波束天线系统[J]. 雷达科学与技术,2017,15(1):81-84,88.
- [16] 刘伟,陈真佳,张永辉. 基于软件无线电与数据库的频谱分析系统[J]. 计算机工程与设计,2018,39(8):2694-2701.



苑 彬(1984-),男,河南周口人,讲师,学士,主要研究方向为自动化及控制工程,ybin84@126.com;



陈书立(1972-),男,河南扶沟人,实验师,硕士,主要研究方向为信号采集与处理。