Design and Analysis of PLL Frequency Synthesizer for Rb Atomic Clock*

MOU Shihao ,ZHANG Kaifang ,SU Hao ,ZHANG Lu , LIU Zhaojun ,ZHANG Yanjun ,YAN Shubin *

(North university of China, Key Laboratory of Instrumentation Science and Dynamic Measurement, Taiyuan 030051, China)

Abstract: A phase locked loop frequency synthesizer with an output frequency of 3 417 MHz is designed based on CPT (Coherent Population Trapping) ⁸⁷Rb atomic clock, ADIsimPLL is used to simulate the optimal loop bandwidth, loop filter parameters and phase noise, STM32 is used to control the PLL chip. The frequency synthesizer is tested, the circuit size is 40 mm×40 mm, the output signal power range is adjustable (-4 dBm~+5 dBm), the output signal noise meets the requirements -88.65 dBc/Hz@1 kHz, -92.31 dBc/Hz@ 10 kHz, -104.63 dBc/Hz@ 100 kHz, the spurious signals and harmonic are suppressed. The designed frequency synthesizer can be well applied to the RF signal source of atomic clock.

Key words: frequency synthesizer; atomic clock; PLL; ADIsimPLL; phase noiseEEACC:1230B;1250doi:10.3969/j.issn.1005-9490.2020.01.006

CPT 铷原子钟锁相环频率合成器设计和分析*

牟仕浩,张开放,苏浩,张璐,刘召军,张彦军,闫树斌* (中北大学仪器科学与动态测试教育部重点实验室,太原 030051)

摘 要:基于 CPT(相干布局囚禁)87 铷原子钟设计出输出频率为3417 MHz的锁相环频率合成器,通过 ADIsimPLL 仿真出最佳环路带宽,环路滤波器参数以及相位噪声等,并通过 STM32 对锁相环芯片进行控制。对频率合成器进行了测试,电路尺 寸为40 mm×40 mm,输出信号功率范围为-4 dBm~+5 dBm 可调,输出信号噪声满足要求-88.65 dBc/Hz@1 kHz,-92.31 dBc/ Hz@10 kHz,-104.63 dBc/Hz@100 kHz,杂散和谐波得到抑制,设计的频率合成器能很好的应用于原子钟的射频信号源。 关键词:频率合成器;原子钟;锁相环;ADIsimPLL;相位噪声

中图分类号:TN742 ______ 文献标识码:A

文章编号:1005-9490(2020)01-0025-05

被动型相干布局囚禁(CPT)原子钟因为不存在 微波谐振腔,因此体积和功耗大幅度降低,为原子钟 实现微型化创造了条件^[1],CPT 原子钟于是变得非 常有吸引力。CPT 原子钟主要包括射频信号源、物 理系统和外围控制电路,特别是射频信号源,决定了 输出频率的短期稳定性和精度^[2]。而 CPT 现象是 通过在外部磁场作用下,⁸⁷ Rb 原子能级分裂成超精 细能级,能级差为精准的 6.835 GHz,采用半宽调制, 即利用能级差的一半 3.417 GHz 来对 VCSEL 激光 器驱动电流进行幅度调制,产生频率为 3.417 GHz 的调频光场,该光场的±1级边带频率差就刚好等于 原子超精细能级差,由此来制备 CPT 态^[3],本文利 用的是锁相环(PLL)频率合成器来实现射频信号源 输出 3.417 GHz 的频率,锁相环在相位噪声和杂散 抑制方面都可以满足原子钟的需求,并且锁相环也 是许多仪器设备中的核心部件^[4]。

1 基本原理

锁相环是由温度补偿晶体振荡器、鉴相器、环路 滤波器、压控振荡器组成一个闭环反馈系统^[5],其

项目来源:科技部国家重点研发计划项目(2017YFB0503200);山西省自然基金项目(201701D121065);国家高分辨率对地观测系统重大专项项目(67-Y20A07-9002-16/17);山西省"1311工程"重点学科建设计划项目;山西省高等学校131 领军人才项目;山西省高等学校中青年拔尖创新人才项目;山西省留学回国人员科技活动择优项目
 收稿日期:2019-03-11 修改日期:2019-04-28

中鉴相器包括相位比较器、电荷泵、R分频器和N分 频器四部分,晶体振荡器采用的是 10 MHz 温度补 偿晶振,因为鉴相器 PD 的输出不仅包含直流控制 信号,还有一些高频谐波成分,这些高频谐波成分会 影响 VCO 电路的工作,因此环路滤波器采用的是一 个三阶环路低通滤波器,采用低通滤波器能够滤除 这些高频成分,以防止对 VCO 造成干扰。如图 1 所 示锁相环的工作原理图:fa是输出频率,f.是输入参 考信号的频率,输入参考频率通过鉴相器后产生一 个直流信号,直流信号通过三阶低通滤波器产生一 个误差控制电压来控制压控振荡器的输出频率,其 中输出的一部分经由 N 分频器后返回到鉴相器与 输入参考信号进行鉴相^[6],由此形成一个负反馈, 通过输入参考信号f. 和输出频率f. 经过 N 分频后 的信号一直不断的比较,使得二者保持一致,并且使 相位差保持在固定的范围内。



2 方案设计

基于数字锁相环小数分频频率合成原理设计了 CPT 原子钟微波信号源倍频方案,选用的锁相环芯 片 ADF4351 集成了 R 分频器、鉴相器、N 分频器、电 荷泵以及压控振荡器,具有占用电路体积小的优势, 并且锁相环路好的噪声指标是建立在优良的噪声基 底的基础上的, ADF4351 具有良好的相位噪声 基底。

整个系统方案核心为锁相环芯片以及 STM32 单片机, ADF4351 通过外接 10MHz 参考晶振和环路 滤波器, 压控振荡器是内置于锁相环芯片的, STM32-LQFP48 主控芯片通过 SPI 协议控制 ADF4351, 配置 锁相环芯片寄存器, 输出指定频率的信号, 并且可以 通过程序来改变输出信号的频率以及幅度。

如图 2 所示,晶振的主要技术指标:晶振型号是 CFPT-9003,体积为 7.0 mm×5.0 mm×2.0mm,频率稳 定度为@ 25 ℃ ≤±0.5×10⁻⁶。滤波器是三阶无源环路 滤波器,具有体积小,电路简单的优势,相比有源环路 滤波器,有源环路滤波器会引入额外的噪声。系统控 制是通过 stm32 芯片配置锁相环芯片 ADF4351 的寄存器来改变锁相环参数, ADF4351 是 ADI 公司的具有 小数 N 分频和整数 N 分频的频率合成器, 具有低相 位噪声的 VCO, VCO 灵敏度为 40 MHz/V, 输出频率 范围为 2200 MHz~4400 MHz, 归一化的相位噪底为-220 dBc/Hz, 带内相位噪声在偏移 3 kHz 处载波为 2111.28 MHz 时为-100 dBc/Hz。



图 2 系统方案

从图 3 可以很直观的看到锁相环芯片的外部硬件电路,包括环路滤波器、外部参考频率 REFin 的输入和电源去耦电路,数据传输接口连接到 STM32 芯片。

锁相环芯片寄存器接口 CLK、DATA、LE, LE 是 通过控制 SPI 协议的通断来控制数据传输, CLK 接 口接收的是来自外部提供的时钟信号, DATA 接口 是待写入数据。DATA 中的待写入数据在时钟上升 沿到来时,传输至移位寄存器,并按照最高有效位优 先的方式,最后三位是地址位,不同地址位的数据分 别进入不同的锁存器,到 LE 上升沿到来时,移位寄 存器中的数据将分别传输至锁存器中^[7],完成对芯 片寄存器的配置。式(1)是输出频率的关系式:

 $RF_{out} = [INT + (FRAC/MOD)] \times (f_{PFD}/RF_{divider})$

(1)

式中:RF_{our}是锁相环电路的输出频率,INT 是整数 分频系数,FRAC 是小数分频系数,MOD 是小数模 数(2~4 095),模数设置的越大分辨率就越高,f_{PFD} 是鉴相频率,RF_{divider}细分 VCO 的输出分频器。

 $f_{PFD} = \text{REF}_{IN} \times [(1+D)/(R \times (1+T))]$ (2) 式中: REF_{IN} 是参考输入频率, D 是参考输入频率的 倍频器位(0或1), R 是参考分频系数(1到1023), T 是参考二分频位(0或1)。

根据锁相环频率合成器设计要求以及 ADF4351相关资料最终设定寄存器值为:寄存器5 (0X00580005),寄存器4(0X00EC803C),寄存器3 (0X000004B3),寄存器2(0X00010E42),寄存器1 (0X00008029),寄存器0(0X00AD8018)。时序图 如图4所示。



图4 时序图

3 硬件和软件设计

3.1 硬件电路的仿真

通过利用 ADI 公司提供的 PLL 专用设计软件 ADIsimPLL 来辅助硬件电路的设计,通过选择芯片类 型、参考频率、输出频率、环路滤波器的类型、压控振荡 器来仿真锁相环得到环路滤波器的各项参数并且可以 对锁相环各部分的相位噪声进行分析。选择芯片 ADF4351,参考输入频率 10 MHz,输出频率设置为 3.417 GHz,相位裕度设为 45°,环路带宽过宽会导致相噪曲线 整体很差,过窄的环路带宽又会导致相噪曲线后端有 凸起,因此经过多次仿真后选择设置带宽为相位噪声 表现最优的 20 kHz 处,既保持了低杂散也使信号具有 良好的相位噪声性能,仿真电路如图 5 所示。

ADIsimPLL 是一个综合性的锁相环频率合成器 设计和仿真软件,具有极好的的仿真设计能力,基于 ADI 公司的锁相环芯片的设计背景,尽可能完美地 利用 ADISIMPLL 来设计环路滤波器的相关参数以 及尽可能真实地仿真电路的相位噪声。采用的滤波 器是三阶无源滤波器,是只采用 RC 的滤波器,相对 于有源环路滤波器带来噪声和零点漂移,它的成本低,噪声小,结构简单并且更加稳定,仿真出的环路 滤波器的参数为 C_1 = 7.66 nF, C_2 = 104 nF, R_1 = 214 Ω , R_2 = 437 Ω , C_3 = 3.50 nF。



图 6 是是通过 ADISIMPLL 仿真锁相环系统输出 频率的相位噪声,可以得出在频偏 100 kHz 处相位噪

声为-110.143 dBc/Hz,这是一个理想情况下的值,实际情况下存在电磁干扰等,相位噪声会高于理论值。并且锁相环的器件中分频器、倍频器对信号进行分频、倍频操作时,相位噪声也进行了同样的变化。在实际应用中用公式来估算相位噪声的大小。

 $PN_{OUT} = PN_{NORM} + 20lgf_{LO} - 10lgf_{PD}$ (3)

式中:PN_{out}是锁相环输出频率的相位噪声,PN_{NORM} 是锁相环的归一化带内相噪基底,主要由器件自身 决定,f_{L0}是锁相环的输出频率,是一个常数,f_{P0}是锁 相环鉴相频率,公式中只有这个参数可以改变,因此 鉴相频率每增加10倍相位噪声的值就降低10 dB, 因此在保证一定频率分辨率的情况下,尽量提高鉴 相频率会改善相位噪声的情况。外围电路设计中 10 MHz 晶振和环路滤波器对相位噪声的贡献可以 通过选择更好的器件或者优化电路设计来降低。



图 6 频偏 100kHz 处相位噪声仿真结果

ADF4351芯片的数字模块包括 R 分频器、N 分频器、小数计数器和模数计数器,另外一共有 6 个寄存器 从寄存器 0 到寄存器 5,寄存器 0 控制 16 位整数分频 值和 12 位小数分频值,二者与频率倍频倍数有关,寄 存器 1 控制 12 位相位值和 12 位模数值,模数值与输出 频率分辨率有关,寄存器 2 控制 10 位 R 计数器的值和 电荷泵电流的设定等,寄存器 3 控制 12 位时钟分频器 等参数,寄存器 4 控制频段选择时钟分频器和输出功 率调节等参数,寄存器 5 是锁定检测。因为篇幅原因 下面只给出程序的一部分,以下是数据传输程序: void WriteToADF4351(u8 count,u8 * buf)

u8 ValueW=0; u8 m=0; u8 n=0; ADF_Output_GPIOInit(); ADF4351_CE=1; delay_us(1); ADF4351_CLK=0; ADF4351_LE=0; delay_us(1); for(m=count;m>0;m--)

```
ValueW = * (buf+m-1);
  for(n=0;n<8;n++)
    if(0x80 = = (ValueW& 0x80))
      ADF4351_OUTPUT_DATA = 1;
    else
      ADF4351_OUTPUT_DATA=0;
    delay_{us}(1);
    ADF4351 CLK = 1:
    delay_{us}(1);
    ValueW<<=1;
    ADF4351_CLK = 0;
ADF4351_OUTPUT_DATA=0;
delay_us(1);
ADF4351_LE = 1;
delay_us(1);
ADF4351_LE = 0;
```

4 性能测试及分析

经测试信号源尺寸为 40 mm×40 mm,输出功率范 围为-4 dBm~+5 dBm,输出频率达到 3.417 GHz 准确度 较高,在 3.417 GHz 频偏 1 kHz 处测得相位噪声为-88.65 dBc/Hz@1 kHz,10 kHz 处为 -92.31 dBc/Hz@10 kHz,100 kHz 处为-104.63 dBc/Hz@100 kHz,相位噪声 表现良好,杂散抑制达到 60 dB 以上,图 7 为输出信号 频谱图,图 8 为相噪测试图,利用的是频谱仪 PXA Signal Analyzer N9030A 进行的测试。

参考频率、分频器、鉴相器的噪声在低频段,高频 段的噪声主要来源于压控振荡器。因为频率是从晶振



图 7 信号频谱图



图 8 频偏 100kHz 处相位噪声测试图

输入的 10 MHz 的频率倍频到 3 417 MHz,倍频了 3 417/10=341.7 倍,相位噪声恶化 20lgN(N 为频率倍 频的倍数)即恶化 20lg341.7=50.67 dB,杂散和相位噪 声有相似的传输特性,在任何一个环节都有可能引入 杂散,在锁相环电路设计中,通过设计合理的电源电压 去耦、合理的 PCB 布局布线、合理的环路滤波器阶数以 及利用更窄的带宽来很好地抑制杂散,但是带宽太低 会造成频率锁定时间过长、甚至无法锁定,太高又会带 来杂散。因此,需要平衡这二者选取一个折中的值。

仿真出的环路滤波器的参数在实际调试过程中会 发生变化,这取决于实际电路本身,因为实际电路中存 在外界环境的干扰,元件的误差等,环路滤波器的电阻 值和电容值要按调试中的表现来定。

从图 8 中可以看到分辨率带宽为 2.0 kHz, 根据对 相位噪声的分析, 可以利用公式计算出频谱图中相位 噪声的大小:

> $L(f_m) = (P_{SSB} - P_o) - 10 \lg B + 2.5 (dBc/Hz)$ B = 1.2B_{3,dB} (4)

式中: P_{SSB} 代表偏移载波 f_m 处的测量边带功率, P_o 表示载波功率, $B_{3 \text{ dB}}$ 表示分辨率带宽,单位 Hz,在偏移载波 100 kHz 处的相位噪声为:

```
L(f_m) = -72 - 10 \lg 2400 + 25 =
```

–103.30 dBc/Hz@100 kHz

通过理论验证后的结果与实际仪器测出的相位噪 声相比相差不大。

5 结束语

利用锁相环小数分频技术设计的射频信号源,基于 STM32 进行控制,运用高集成度的锁相环芯片 ADF4351 外加三阶无源环路滤波器,尺寸小,易调试, 便于批量化生产,为之后实现 2FSK 调制以及频率伺服 环路打下基础。通过测试分析,电路的各项相关技术 指标满足 CPT 铷原子钟信号源的要求。

参考文献:

- [1] 杨坦,廉吉庆,王剑祥,等. CPT 铷原子钟微波信号源设计[J]. 电子器件,2018,41(2):421-424.
- [2] 石红. 芯片级原子钟激光调制及 CPT 信号解调研究[D]. 苏州:苏 州大学,2014.
- [3] 赵劼成. 相干布居数囚禁原子钟性能研究[D]. 武汉:中国科学院 研究生院(武汉物理与数学研究所),2013.
- [4] 周阳,王春晖,金小军,等. 新型皮卫星星载接收机设计[J]. 传感技术学报,2011,24(5):694-699.
- [5] 赵亚妮. 低相噪低杂散 650 MHz 点频源的设计[J]. 电子元件与材料,2016,35(7):77-79.
- [6] 张刚. CMOS 集成锁相环电路设计[M]. 北京:清华大学出版社, 2013:1-10.
- [7] 林辉. 低杂散、低噪声锁相倍频信号源设计[D]. 成都:电子科技 大学,2018.
- [8] 远坂俊昭. 锁相环(PLL)电路设计与应用[M]. 何希才,译. 北 京:科学出版社,2006:229-270.
- [9] 任小红, 闫树斌, 刘俊, 等. Rb87 微型 CPT 原子钟信号源的设 计[J]. 通信技术, 2010, 43(11):167-168.
- [10] Cao Hui, Qu Yu. A Miniaturized Frequency Synthesizersystem Design Based on ADF4350 [C]//IEEE International Conference on Signal Processing. Hong Kong, China. IEEE, 2016:1-4.
- [11] 廉吉庆,陈大勇,翟浩. CPT 铯原子钟微波信号源设计与分析 [J]. 宇航计测技术,2014(1):25-28.
- [12] 刘类骥,赵海清,曹远洪. 一种芯片原子钟专用锁相倍频器研 究与设计实现[J]. 宇航计测技术,2014(1):37-41.
- [13] 韩文革. 基于三阶锁相环频率合成技术的时钟源设计[D]. 太 原:中北大学,2018.
- [14] Ji Lei, Tang Liang, Zhang Zhongshan. Development of 4.596 GHz RF Source for Chip-Scale Atomic Clock [J]. High Power Laser & Particle Beams, 2015, 27(2):27024130.
- [15] 李海华. 小步进、低相噪频率合成器的设计与实现[D]. 武汉: 华中科技大学,2016.
- [16] 徐建. 被动型相干布居数囚禁原子钟系统关键技术研究[D]. 武汉:华中科技大学,2011.
- [17] 夏江林,邹传云. 基于 ADF4350 的锁相环频率合成器设计与实 现[J]. 通信技术,2018,51(3):734-740.



牟仕浩(1995-),男,汉,四川雅安人,中 北大学在读硕士生,主要从事原子钟射频 信号源的研究,251037712@qq.com;



闫树斌(1975-),男,汉,山西交城人,中 北大学教授,博士生导师,主要从事微 纳光学器件、微机电系统方面研究, shubin_yan@nuc.edu.cn。