

一种 10 位 250 MS/s 电荷域流水线 ADC

刘 琦^{1,2}, 李蕾蕾¹, 魏敬和¹, 苏小波¹, 薛 颜¹, 陈珍海^{1,2}

(1. 中国电子科技集团公司 第五十八研究所 江苏 无锡 214035;

2. 黄山学院 信息工程学院 安徽 黄山 245041)

摘 要: 提出了一种高速、低功耗、小面积的 10 位 250 MS/s 模数转换器(ADC)。该 ADC 采用电荷域流水线结构,消除了高增益带宽积的跨导运算放大器,降低了 ADC 功耗。采用流水线逐级电荷缩减技术,降低了后级电路的电荷范围,减小了芯片面积。测试结果表明,在 250 MS/s 采样速率、9.9 MHz 输入正弦信号的条件下,该 ADC 的无杂散动态范围(SFDR)为 64.4 dB,信噪失真比(SNDR)为 57.7 dB,功耗为 45 mW。

关键词: 电荷域; 流水线; A/D 转换器

中图分类号:TN79+2

文献标识码:A

文章编号:1004-3365(2019)01-0012-05

DOI:10.13911/j.cnki.1004-3365.180134

A 10 bit 250 MS/s Charge Domain Pipelined ADC

LIU Qi^{1,2}, LI Leilei¹, WEI Jinghe¹, SU Xiaobo¹, XUE Yan¹, CHEN Zhenhai^{1,2}

(1. No. 58 Research Institute, China Electronics Technology Group Corporation, Wuxi, Jiangsu 214035, P. R. China;

2. School of Information Engineering, Huangshan University, Huangshan, Anhui 245041, P. R. China)

Abstract: A high speed, low power consumption and small size 10 bit 250 MS/s analog-to-digital converter (ADC) was presented. The high-gain-bandwidth operational transconductance amplifier (OTA) was eliminated and the power consumption of ADC was reduced by using the charge domain pipelined structure. The size of the ADC chip was reduced by scaling down the charge amount of the backend stages of sub-stage circuit with pipelined gradual charge reduction techniques. Measurement results showed that the spurious free dynamic range (SFDR) of 64.4 dB, signal-to-noise-and-distortion ration (SNDR) of 57.7 dB, power consumption of only 45 mW were implemented with input sinusoidal frequency of 9.9 MHz under the sampling rate of 250 MS/s.

Key words: charge domain; pipelined; ADC

0 引 言

低功耗、大带宽、小面积的嵌入式模数转换器(ADC)被广泛应用于高清视频设备、便携式终端等领域。采样速率大于 100 MS/s 的流水线 ADC 一直是这些系统中的主流器件^[1-2]。基于开关电容的

传统流水线 ADC 需要采用高增益带宽积的跨导运算放大器(OTA),但功耗过大,难以实现嵌入式应用。虽然可采用消除前端采保电路、运放共享和电容逐级缩减等技术来实现低功耗和小面积^[3-4],但在这些技术中,OTA 仍占据绝大部分的功耗。

为进一步降低高速流水线 ADC 的功耗来适应嵌入式应用,近年来,替代高增益带宽积 OTA 的新

收稿日期:2018-03-31;定稿日期:2018-04-26

基金项目:国家自然科学基金资助项目(61704161);安徽高校自然科学研究资助项目(KJ2017A396,KJHS2016B03);黄山市科技计划项目(2017KG-06)

作者简介:刘 琦(1982—),男(汉族),辽宁盘锦人,博士生,讲师,从事数模混合集成电路设计研究工作。

技术不断出现。基于比较器、过零检测器和环形运放等的开关电容技术^[5-7],均可实现低功耗流水线 ADC。电荷域流水线 ADC 可以不采用高增益带宽积的运放,只需采用普通 CMOS 工艺就能实现电路的低功耗^[8-9]。

本文基于 0.18 μm CMOS 工艺,采用电荷域信号处理技术,在未采用任何数字校准的情况下,设计了一种嵌入式、应用于 400 MHz 输入模拟信号带宽的 10 位 250 MS/s 电荷域流水线 ADC。电源电压为 1.8 V,功耗为 45 mW。

文章第 1 节介绍 10 位 250 MS/s 电荷域流水线 ADC 的系统结构、子级电路结构和电荷的选取与优化,第 2 节介绍关键电路的实现,第 3 节给出电路试验结果与分析,第 4 节给出结论。

1 ADC 系统设计

1.1 系统结构

本文设计的 10 位电荷域流水线 ADC 包括采保电路、1 级电荷域 2.5 位子级电路、5 级 1.5 位子级电路和 1 级 3 位 Flash ADC,结构如图 1 所示。输入的差分模拟电压 V_{in} 和 V_{ip} 首先被采保电路采样,转换为对应的电荷包信号 Q_{in} 和 Q_{ip} 。接着, Q_{in} 和 Q_{ip} 被 7 级电荷域子级电路逐级处理。最终,各级子级电路量化取得的 16 位数字码进入延时同步和数字纠错模块,经移位累加后,获取 10 位的输出码字。

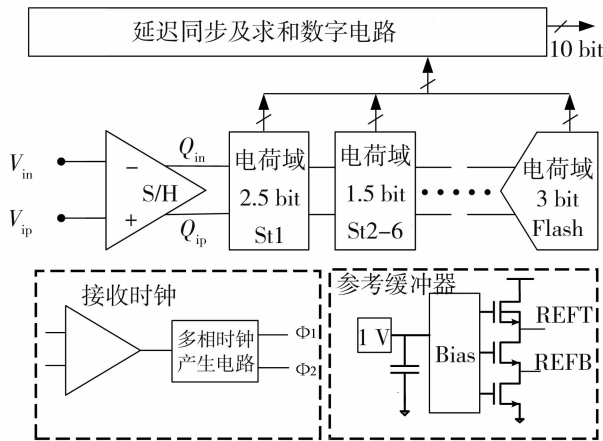


图 1 10 位电荷域流水线 ADC 结构框图

为降低功耗,电荷存储电容的尺寸排列采用逐级缩减的锥形电荷流水线方式。由于需要产生四相不交叠时钟且时钟频率超过 200 MHz,时钟产生和驱动电路均采用分布式结构。

1.2 电荷域子级电路的结构与原理

电荷域子级电路结构及工作波形如图 2 所示。本文采用单端的简化形式。电荷域子级电路包括:一个电荷存储电容 C_c ;一个加减电容 C_s ;一个 Sub-ADC,用于产生量化结果 $D(n)$;一个 Sub-DAC,通过 $D(n)$ 对 Q_i 进行电荷加减,产生余量电荷 Q_{out} ;一个电荷传输电路 St,将余量电荷 Q_{out} 传输给下一级子级电路;一个复位开关 Sr,在 Q_{out} 传输完成后,对电荷存储节点 X_n 进行复位。

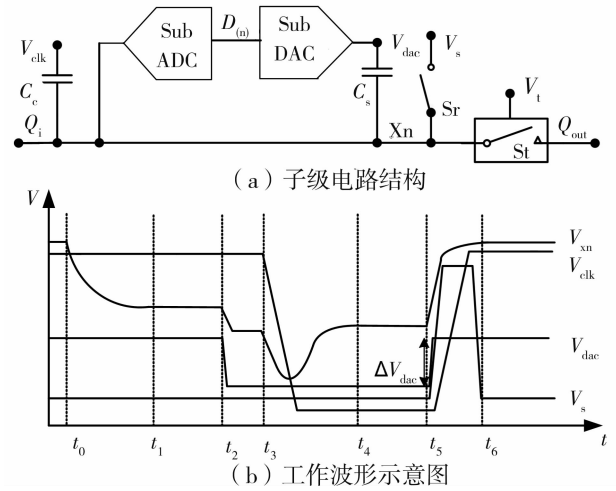


图 2 电荷域子级电路结构及工作波形

t_0 时刻, Q_i 被传输到电荷存储节点 X_n ,随着电荷的注入,自 t_0 时刻起,节点 X_n 的电压 $V_{Xn}(0)$ 不断下降。 t_1 时刻,上一级向本级的电荷传输结束。

由于节点 X_n 无电荷泄露通道, $V_{Xn}(1)$ 自 t_1 时刻起,保持不变。同时,本级 Sub-ADC 电路进行电荷比较量化,得到本级量化结果 $D(n)$ 。

t_2 时刻,Sub-ADC 比较量化结束,得到的 $D(n)$ 将会同时输出给数字延时同步电路和 Sub-DAC 电路, Q_i 电荷通过电荷加减电容 C_s 得到调整,获得本级余量电荷 Q_{out} 。 t_3 时刻, Q_{out} 传输至下一级子级电路。 t_4 时刻, Q_{out} 向下级电路的传输工作结束。 t_5 时刻, $V_{Xn}(5)$ 随着复位电压 V_s 的复位操作逐渐上升。 t_6 时刻,停止复位操作,节点 X_n 的电压 $V_{Xn}(6)$ 等于 t_0 时刻的电压。子级电路的完整时钟周期结束。

由于没有使用高性能运放,该电荷域流水线 ADC 具有超低功耗。要实现高性能的电荷域流水线子级电路,主要依靠电荷传输处理所需的关键电路,包括电荷传输电路、Sub-ADC 和 Sub-DAC 等。

1.3 子级电路量化电荷的选取和优化

与传统开关电容结构的流水线 ADC 相比,本

文电路在信噪比方面的考虑有所不同。电荷域 ADC 的信噪比为全输入信号电荷量与噪声电荷量之比,有:

$$S_{NR} = \frac{C_{in} \times V_{in,diff}}{\sqrt{kTC_{in}}} \quad (1)$$

式中, C_{in} 为采样电容, $V_{in,diff}$ 为输入差分电压。由式(1)可知,采样电容越大,有用电荷量越多,信噪比则越大。电荷噪声小于所量化的最小精度的噪声,即为:

$$\sqrt{kTC_{in}} < \frac{C_{in} \times V_{in,diff}}{2^N} \quad (2)$$

因此, $C_{in} > kT \times (2^N / V_{in,diff})^2$ 。本文设定模拟电压输入摆幅为 1.5 V, 10 位 ADC 所需的采样电容最小值则为 0.15 pF。考虑到寄生电容和足够的余量,采样电容最终确定为 0.6 pF, 输入标称电荷量则为 900 fC。

对于电荷域流水线 ADC, 后级电路的电荷处理精度可以逐级递减。对于相同的电荷噪声, 由于信噪比要求降低, 各级子电路所需要的电荷总量降低, 后级电路的功耗相应逐级减小。为了降低各级子电路的电荷总量, 可采取保持电压不变而降低电荷存储电容的方式, 也可采取保持电荷存储电容不变而降低各级电压的方式。

本文从减少电路面积的角度考虑, 选择保持基准电压不变而逐级缩减电荷存储电容的方式。各级子级电路采用的电容如表 1 所示。

表 1 各级子电路的电容

级数	容值/fF	电荷量/fC
S/H	600	900
第 1 级	600	900
第 2 级	150	225
第 3 级	75	112.5
第 4 级	37.5	56.25
第 5~7 级	18.75	28.125

第 5 级子电路的电荷存储电容仅为 18.75 fF。在后面两级电路中, 若继续缩小电容, 电容尺寸会太小, 引起工艺精度限制带来的非线性。因此, 最后 3 级子电路的信号电荷存储电容取为相同值, 电荷处理的范围也相同。

2 关键电路实现

2.1 高性能采保电路

输入采保电路采用无源开关电容, 通过不敏感电荷传输电路将采样得到的模拟电压转换为对应的电荷包, 再传给后面的各级子电路。输入采样开关采用栅压自举开关, 输入信号带宽为 400 MHz。输入采保电路如图 3 所示。该采保电路采用全差分方式, 在传统无源开关型电容采保电路的输出端连接了两个电荷传输电路。

输入采样开关 Ss1 和 Ss2 采用栅压自举结构, 以提高高频下的采样特性。St1 和 St2 为电荷传输电路, 用于控制传输到后续各子级电路的电荷量。S1、S2、S3 和 S4 为普通 NMOS 开关, 仅传输固定电平。 C_n 和 C_p 为采样电容, 为 MOM 金属叉指电容。

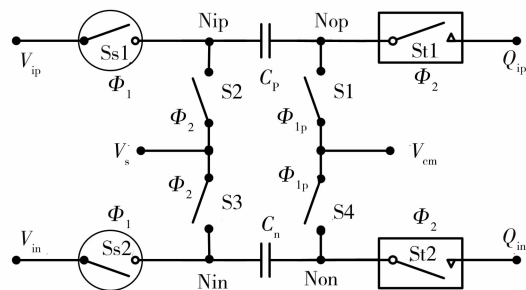


图 3 输入采保电路

在采样相, 电路对输入电压信号 V_{id} (即 $V_{ip} - V_{in}$) 进行采样, Φ_2 相将采样得到的 V_{id} 电压转换为对应的电荷信号 Q_{id} (即 $Q_{ip} - Q_{in}$), 并传输给后级电路。电荷传输电路采用文献[2]的复制控制增强型电荷传输电路。

2.2 1.5 位电荷域子级电路

本文采用的 1.5 位电荷域子级电路如图 4 所示。该子级电路包括 2 个本级电荷传输控制开关, 2 个连接到前级电荷存储节点的电荷存储电容, 2 对连接到 1.5 位子级电荷的加减电容, 2 个电荷比较器 (构成 Sub-ADC), 2 个受控于比较器输出的基准电荷选择电路 (构成 Sub-DAC) 和 2 个电荷传输控制开关。根据温度计编码, 1.5 位子级电路需要产生 3 个量化区间。因此, 只需 2 个电荷比较器即可实现该量化区间。若要实现 2.5 位子级电路, 则对应 6 个量化区间, 需要 5 个电荷比较器。

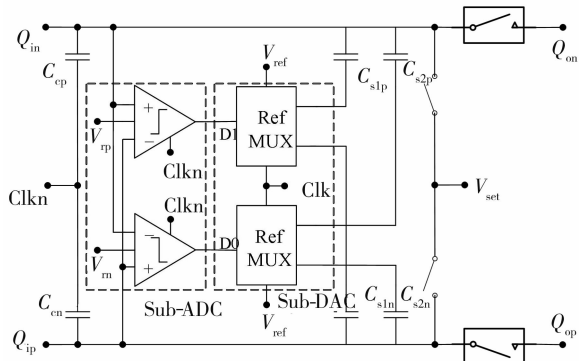


图 4 1.5 位电荷域子级电路

电路正常工作时,前级差分电荷包首先被传输、存储至本级差分电荷存储节点,产生 Q_{in} 与 Q_{ip} 的电压差,并通过电荷比较器,与基准信号 V_{tp} 和 V_{tm} 作比较,得到 2 位量化输出数字码 $D1D0$ 。接着, $D1D0$ 被输出至延时同步寄存器,并控制本级基准信号选择电路,产生一对互补基准信号,前级与本级的差分电荷包与该基准信号加减后,得到差分余量电荷包。最后,差分余量电荷包传输至下一级,并通过复位信号 V_{set} ,对本级差分电荷存储节点进行复位。

2.3 电荷比较器

ADC 中的高速电荷比较器由 1 个高速开关电容动态比较器与 4 个受时钟控制的电荷检测器连接而成,结构如图 5 所示。采用电荷检测器对电荷信号进行检测。在电荷被比较量化时,保证输入电荷存储节点不产生电荷注入和泄放,使电荷 Q_{ip} 和 Q_{in} 不发生变化,实现了对电荷信号的准确采样和量化。

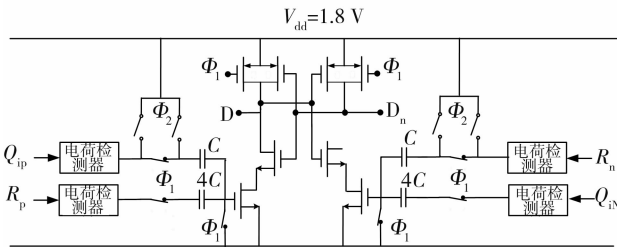


图 5 高速动态电荷比较器

电荷检测器对准备比较的电荷信号和基准信号进行采样,得到电压信号 V_{ip} 、 V_{in} 、 V_p 和 V_n 。接着,采用传统开关电容锁存比较器,完成对这 4 个电压信号的比较。采用开关电容信号采样网络,对 V_{ip} 、 V_{in} 、 V_p 和 V_n 进行采样,得到差分电压信号 V_{i+} 和 V_{i-} 。采样电容为 0.1 pF。动态锁存比较器对 V_{i+} 和 V_{i-} 进行比较,电荷比较器的最终比较结果为 D 和 D_n 。动态锁存比较器采用传统高速电压锁存比较器。

2.4 3 位 Flash ADC

3 位 Flash ADC 如图 6 所示。3 位 Flash ADC 作为 ADC 模拟电荷量化最后一级,只需接收最后一级 1.5 位子级电路的余量电荷,通过电荷存储电容来实现电荷到电压的转换。

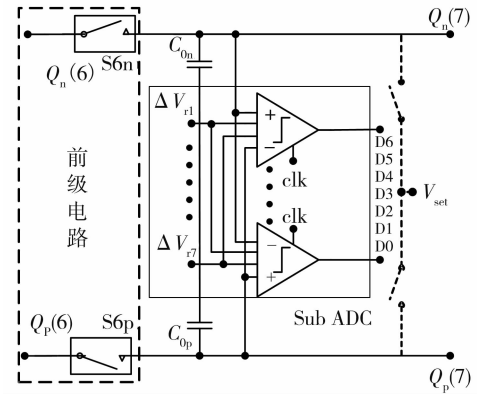


图 6 3 位 Flash ADC

经比较器与基准信号比较分析,得到本级的量化编码。3 位 Flash ADC 电路不需产生余量电荷,电路结构相对简单。该 ADC 仅包括 1 个 BCT 电路、1 个电荷存储电容、1 个复位开关、7 个比较器和码型转换电路。

3 ADC 试验结果与分析

10 位流水线 ADC 采用 0.18 μm 1P6M CMOS 工艺进行流片,芯片照片如图 7 所示。锥形电荷域流水线子级电路和采保电路位于芯片中部,上部为基准电压源及驱动电路、时钟接收器、驱动电路、数字延时同步和校准逻辑单元。整个 ADC 的有源芯片面积为 1.95 mm^2 ,采保电路和各子级电路的面积为 1.04 mm^2 。在 9.9 MHz 正弦输入信号、250 MHz 采样下,该 ADC 的 FFT 频谱曲线如图 8 所示。无杂散动态范围 SFDR 为 64.4 dB,信噪比 SNR 为 57.7 dB,信噪失真比 SNDR 为 56.9 dB。

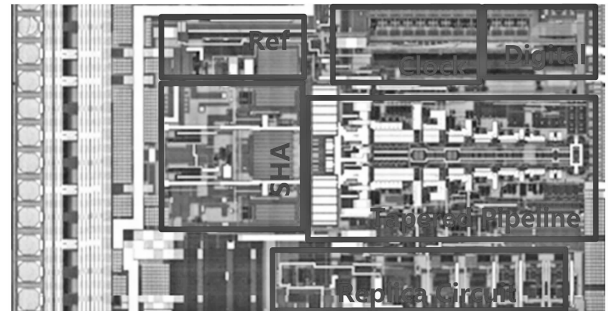


图 7 10 位流水线 ADC 的芯片照片

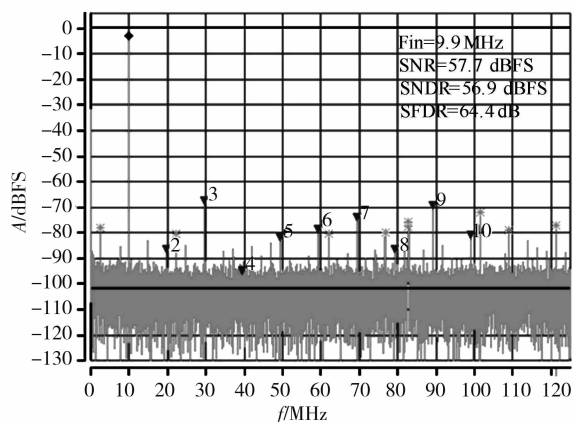


图 8 ADC 的 FFT 频谱曲线

4 结 论

本文设计了一种嵌入式 10 位 250 MS/s 电荷域流水线 ADC。采用电荷域流水线结构,没有使用高增益带宽积运放,极大减小了功耗;采用流水线逐级电荷缩减技术,降低了后级电路的电荷范围,减小了功耗和芯片面积。测试结果表明,该电荷域流水线 ADC 性能良好,功耗仅为 45 mW,整个 ADC 内核电路的面积仅为 1.04 mm²。

参 考 文 献:

[1] CHEN Z H, HUANG S R, ZHANG H, et al. A 27-mW 10-bit 125-MSPS charge-domain pipelined ADC with PVT insensitive boosted charge transfer [J]. J Semicond, 2013, 34(3): 035009-1-035009-9.

[2] CHEN Z H, QIAN H W, HUANG S R, et al. A low power time-interleaved 10-bit 250 MSPS charge domain pipelined ADC for IF sampling [J]. J Semicond, 2013, 34(6): 065005-1-065005-8.

[3] ALI A M A, DILLON C, SNEED R, et al. A 14-bit 125 MS/s IF/RF sampling pipelined ADC with 100 dB SFDR and 50 fs jitter [J]. IEEE J Sol Sta Circ, 2006, 41(8): 1846-1855.

[4] DEVARAJAN S, SINGER L, DAN K, et al. A 16-bit, 125 MS/s, 385 mW, 78.7 dB SNR CMOS pipeline ADC [J]. IEEE J Sol Sta Circ, 2009, 44(12): 3305-3313.

[5] SEPKE T, FIORENZA J K, SODINI C G, et al. Comparator-based switched-capacitor circuits for scaled CMOS technologies [C] // IEEE ISSCC. San Francisco, CA, USA. 2006: 220-221.

[6] BROOKS L, LEE H S. A zero-crossing-based 8-bit 200 MS/s pipelined ADC [J]. IEEE J Sol Sta Circ, 2007, 42(12): 2677-2687.

[7] HERSHBERG B, WEAVER S, SOBUE K, et al. Ring amplifiers for switched capacitor circuits [J]. IEEE J Sol Sta Circ, 2012, 47(12): 2928-2942.

[8] ANTHONY M, KOHLER E, KURTZE J, et al. A process-scalable low-power charge-domain 13-bit pipeline ADC [C] // IEEE Symp VLSI Circ. Honolulu, HI, USA. 2008: 222-223.

[9] 黄嵩人, 陈珍海, 张鸿, 等. 用于电荷域流水线 ADC 的 1.5 位子级电路 [J]. 西安电子科技大学学报, 2016, 43(6): 170-175.

(上接第 11 页)

采用正反馈锁存,提升了传输速度。从锁存器开始锁存到数字驱动输出的总传输延时小于 50 ps,保证了比较结果在时钟的非交叠时间内传输到 MDAC。在建立相开始后,残差放大器即可开始工作,满足了高速流水线 ADC 对比较器的要求。

参 考 文 献:

[1] DEVARAJAN S, SINGER L, KELLY D, et al. A 12-b 10-GS/s interleaved pipeline ADC in 28-nm CMOS technology [J]. IEEE J Sol Sta Circ, 2017, 52(12): 3204-3218.

[2] ALI A M A, DINC H, BHORASKAR P, et al. A 14-bit 2.5 GS/s and 5 GS/s RF sampling ADC with background calibration and dither [C] // IEEE Symp VLSI Circ. Honolulu, HI, USA. 2016: 1-2.

[3] FIGUEIREDO P M, VITAL J C. Low kickback noise techniques for CMOS latched comparators [C] // Int Symp Circ & Syst. Vancouver, Canada. 2004: 537-540.

[4] ALI A M A, DINC H, BHORASKAR P, et al. A 14 bit 1 GS/s RF sampling pipelined ADC with background calibration [J]. IEEE J Sol Sta Circ, 2014, 49(12): 2857-2867.

[5] DRIELS M. 线性控制系统工程 [M]. 北京: 清华大学出版社, 2008: 264-265.

[6] ALLEN P E, HOLBERG D R. 模拟 CMOS 集成电路设计 [M]. 冯军, 李智群, 译. 西安: 西安交通大学出版社, 2005: 632-638.

[7] SAMANEH B M, LOTFI R. Analysis and design of a low-voltage low-power double-tail comparator [J]. IEEE Trans Very Large Scale Integr Syst, 2014, 22(2): 343-352.