

文章编号:1001-5078(2007)增刊-0997-04

一种红外焦平面的数字化输出设计方案

朱 慧^{1,2}, 李尧桥^{1,2}, 陈新禹¹, 方家熊¹

(1. 中国科学院上海技术物理研究所传感技术国家重点实验室, 上海 200083;

2. 中国科学院研究生院, 北京 100039)

摘 要:为了实现红外焦平面数字化输出,设计了一种带片上模数转换的焦平面读出电路,包括一个 8×1 的读出电路单元阵列和一个基于逐次逼近算法的10位模数转换器。单元读出电路采用了电容反馈负阻抗放大器结构作为输入级,输出的信号经采样保持后通过多路传输送到模数转换器。设计的逐次逼近型的模数转换器中的比较器采用的是两级开环结构,数模转换器采用的是高位电荷缩放低位电压缩放型的结构。在Cadence全定制设计平台下,采用 $0.6\mu\text{m}$ 双多晶硅、双金属层的CMOS工艺模型对电路进行了仿真和版图设计。整个读出电路采用5V电压供电,20kHz的采样输出时仿真平均功耗约为5mW。

关键词:红外焦平面;模数转换;逐次逼近;CTIA;计算机仿真

中图分类号:TN215;TN721.3;TN79 **文献标识码:**A

A Design Scheme of Digital Output for IRFPA

ZHU Hui^{1,2}, LI Yao-qiao^{1,2}, CHEN Xin-yu¹, FANG Jia-xiong¹

(1. State Key Laboratories of Transducer Technology, Shanghai Institute of Technical Physics, Chinese Academy of Sciences, Shanghai 200083, China; 2. Graduate School of Chinese Academy of Sciences, Beijing 100039, China)

Abstract: A readout integrated circuit has been designed in order to realize digital output of the IRFPA, which includes an 8×1 ROIC unit cell array and a 10 bit successive approximation analog-to-digital converter. The input stage of the unit cell is capacitive transimpedance amplifier, whose output is transmitted to the analog-to-digital converter by a multiplexer after sample-and-hold. The comparator of the ADC is based on a two-stage open-loop comparator, and the digital-to-analog converter is based on a DAC that uses charge scaling subDAC for the MSBs and voltage scaling subDAC for the LSBs. The circuit was simulated and the layout was designed using $0.6\mu\text{m}$ double-poly, double-metal CMOS technology under the Cadence full custom design platform. The power consumption of the whole chip is about 5mW at a 20 kHz conversion rate from a 5V supply.

Key words: IRFPA; analog to digital converter; successive approximation; CTIA; computer simulation

1 引 言

大规模集成电路技术的发展为焦平面读出电路的系统化奠定了基础,读出电路的各种集成功能扩展研究也不断展开,其中研究的重点之一就是关于片上集成模数转换器^[1-3]。与传统的采用焦平面读出电路片外的模数转换器的结构相比,片上集成模数转换器的焦平面具有很多优势^[1]:首先片上集成模数转换器将使系统所需的芯片数减少,从而有利于提高系统性能和可靠性,也有利于降低系统的质

量、体积、功耗和成本;其次片上集成模数转换器可以降低系统复杂度,从而缩短系统的开发周期;当今最好的焦平面的性能主要受制于信号通道中引入的串扰、电源噪声、电磁干扰和一些其他机制的干扰,由于没有片外的模拟信号通路,片上集成模数转换器的读出电路具有更好的噪声性能;片上集成模数

作者简介:朱 慧(1982-),男,硕士生,主要从事红外焦平面读出电路研究。E-mail:kenanou@163.com

收稿日期:2007-06-26

转换器也是以后在片上集成数字信号处理器的前提。片上集成 ADC 通常有三种实现方式:芯片级、行列级、像素级。芯片级的速度要求和像素级的面积要求限制了两者的应用。本文提出了一种红外焦平面的数字化读出设计方案。

2 整体方案设计

整个电路是在上海技术物理研究所研制的 8 元探测器阵列的基础上设计的,片上包含一个 8×1 的读出电路单元阵列,它将探测器的光电流信号转换成电压信号,输出信号经采样保持后送到多路传输电路,不同于传统的模拟读出型电路,本次设计将多路传输电路的输出再送到一个片上的模数转换器,最后输出的是量化了的数字信号。整个电路的结构框图如图 1 所示。

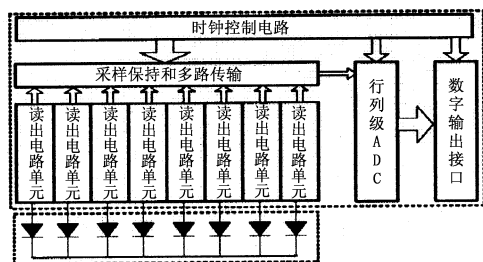


图1 整体结构图

读出电路单元电路的结构和所加的偏压会影响多路传输器输出电压的幅度,电路中将模拟输出电压设计为最大 3.5V。

焦平面片上集成的 ADC 不同于片外 ADC,其面积受到很大限制,很多结构的 ADC 都因此而不能在焦平面片上实现,本次设计采用一种中速、中分辨率的逐次逼近型 ADC,这种结构可以兼顾面积和速度的要求^[2,5]。

电路流片工艺中电阻和电容的匹配误差会限制 ADC 所能达到的精度^[5]。CSMC 0.6 μm 工艺条件下,在保证 INL、DNL 的前提下,不做校正最大能做 10bit 的 ADC,此时焦平面的输出动态范围最大可达 60dB。在 3.5V 的参考电压下,10bitADC 的量化噪声为 1.7mV,均方根量化噪声为 1mV。同时电路版图也需要合理设计,尽量减小高速的数字电路对读出电路单元电路和片上模拟传输通道的干扰。

本次设计中像素阵列只有 8 元,但为了将来用于更大规模的阵列,设计的片上 ADC 工作速度为 20kHz,此时每个像元的读出时间为 50 μs ,若用于 128 元、积分时间 1000 μs 的线列焦平面,输出帧速可达 135f/s(电视输出格式为 25f/s)。

3 关键电路设计

3.1 单元电路

设计的单元电路如图 2 所示,包括一个输入级电路、采样保持电路以及多路传输电路的一部分,其中输入级采用 CTIA 型的电路,这种电路具有较好地探测器偏压控制,较高的注入效率和较好地噪声性能^[4],多路传输电路采用 MOSFET 开关结构。

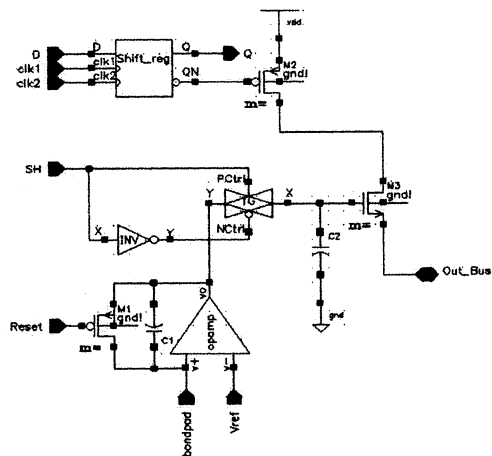


图2 单元电路电路图

3.2 逐次逼近型的模数转换器

(1) 工作原理

逐次逼近型的模数转换器主要包括一个比较器、一个数模转换器、逐次逼近寄存器以及时序和逻辑控制四个部分,其结构如图 3 所示。它基于一种二进制搜索算法,N 位的逐次逼近型的模数转换器需要 $(N+2)$ 个时钟周期^[5-6]。

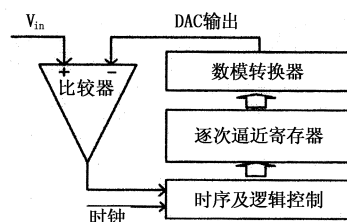


图3 逐次逼近模数转换器原理图

(2) 数模转换电路设计

数模转换器在逐次逼近型的模数转换器中占有非常重要的地位,其性能的好坏直接影响转换的结果。数模转换器主要有电压缩放、电流缩放和电荷缩放三种类型^[6],表 1 列出了三种 DAC 结构各自的特点。

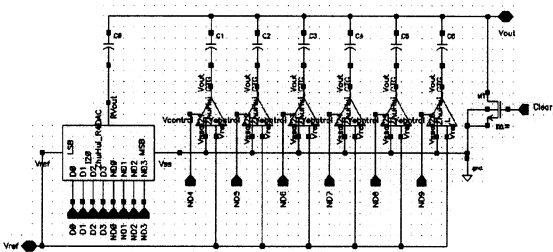
表 1 三种 DAC 各自的特点^[5]

DAC 类型	优点	缺点
电流缩放	速度快,不受开关寄生电容影响	元件值范围大 非单调
电压缩放	单调 等值电阻	面积大,易受寄生电容影响
电荷缩放	速度快 精度高	元件值范围大 非单调

逐次逼近型的 ADC 中集成的 DAC 一般都是基于电荷缩放型原理设计的^[6-7]。在 CMOS 工艺中,电容的失配一般比电阻要小得多,所以基于二进制权电容的电荷缩放型 DAC 的精度可以做得较高,而电阻分压型的 DAC 又具有单调性的优点。本次设计中数模转换器采用高位电荷缩放、低位电压缩放的结构,利用电容的低失配达到 MSB 的高精度,利用电阻分压来满足 LSB 的单调性,同时 2 级联的结构也可以减小所需电容的级数,计算可得此种电路结构的输出电压、积分非线性 INL 和差分非线性 DNL 可表示为:

$$V_{out} = \frac{V_{ref} C_{min} \sum_{i=0}^{K-1} d_i 2^i}{2^K C_{min} + C_{para}} + V_{ref} C_{min} \sum_{i=0}^{M-1} d_{i+K} 2^i$$
$$INL = (2^{M-1} \frac{\Delta R}{R} + 2^{N-1} \frac{\Delta C}{C})$$
$$DNL = (\frac{\Delta R}{R} + (2^N - 1) \frac{\Delta C}{C})$$

其中, V_{ref} 为参考电压; d_i 为第 i 位的输入; K 为 LSB DAC 的位数; M 为 MSB DAC 的位数; C_{min} 为电路中的最小电容; C_{para} 为寄生电容; N 为 DAC 的总位数。由输出电压的计算公式可知, 寄生电容会影响增益误差, 但不会引起非线性, 版图设计中应尽量减少寄生电容。实际电路中采用高 6 位电荷缩放, 低 4 位电压缩放的结构, 其电路如图 4 所示。此时若要求 INL 小于 1LSB、DNL 小于 1LSB, 计算得要求电阻的匹配容差 $\Delta R/R < 1.58\%$, 电容的匹配容差 $\Delta C/C < 0.096\%$ 。



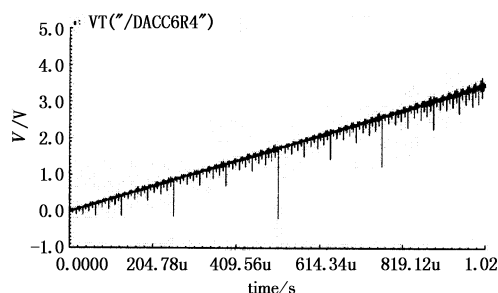


图7 DAC的仿真结果

4.2 比较器仿真结果

比较器仿真结果如表3所示,其结果满足设计要求。

表3 比较器仿真结果

输入共模范围/V	0 ~ 3.5
增益/dB	> 75
传输延时/ μ s	< 1 (5pF 负载电容)

4.3 模数转换器的仿真结果

ADC的仿真结果如表4所示,由于寄身电容的影响,导致增益误差稍大。

表4 ADC 仿真结果

精度/bit	10
参考电压/V	3.5
速度/kHz	20
失调误差/LSB	-0.6
增益误差/LSB	-2.5
功耗/mW	4.2

图8中Clamp为输入的0至3.5V的斜坡电压,Vtran为Clamp经模数转换后所对应的数字结果再通过计算还原出的模拟量。由图可知,两条曲线几乎重合,ADC的输出可以较好地跟踪斜坡输入电压,电路工作性能良好。

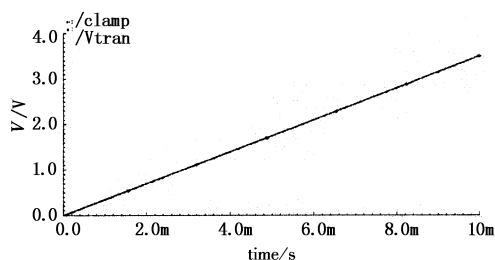


图8 斜坡电压模数转换前后的对比

4.4 整体仿真

用恒流源代替探测器仿真,转换结果以1bit字符流形式串行输出,用转换完成指示分隔各信号,参考电压2.5V。整体仿真的结果如图9所示,其中Out_Bus<1>为探测器阵列信号经多路传输后的输出电压,DAC_out为ADC内部的逐次逼近过程,EOC为模数转换完成指示信号,Data_out为数字输出结果,高位在前低位在后。仿真功能正确,功耗约

为5mW。图10为模数转换前与转换后等效输出的对比。

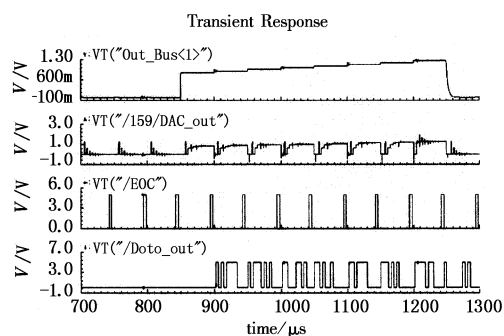


图9 整体仿真结果

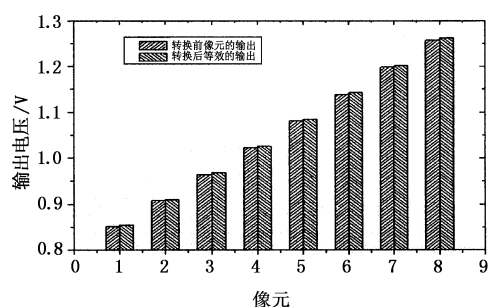


图10 模数转换前与转换后等效输出的对比

5 结论

本文设计了一种带10bit逐次逼近模数转换器的焦平面读出电路,在CSMC 0.6 μ m双多晶硅、双金属层的CMOS工艺下仿真结果正确,该方案可实现焦平面的数字输出,动态范围最高可达60dB,工作速度20kHz,仿真功耗5mW。

参考文献:

- [1] Bedabrata Pain, Eric R Fossum. Approaches and analysis for on-focal-plane analog-to-digital conversion [C]//Proc SPIE, 1994, 2226: 208 - 218.
- [2] Zhimin Zhou, Bedabrata Pain, Roger Panicacci, et al. On-focal-plane ADC: Recent progress at JPL [C]//Proc SPIE, 1996, 2745: 111 - 122.
- [3] L J Kozlowski, M Loose, A Joshi, et al. Low power system-on-chip FPAs [C]//Proc SPIE, 2003, 4820: 525 - 534.
- [4] Eric R Fossum, Bedabrata Pain. Infrared readout electronics for space science sensors; state of the art and future directions [C]//Proc SPIE, 1993, 2020: 262 - 282.
- [5] Phillip E Allen, Douglas R Holberg. CMOS 模拟集成电路设计 [M]. Second Edition, 北京: 电子工业出版社, 2005: 501 - 603.
- [6] Behzad Razavi. Principles of Data Conversion System Design [M]. New York: IEEE Press, 1995: 143 - 147.
- [7] James L McCreary, Paul R Gray. All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques - Part I [J]. IEEE J. Solid-state Circuits, 1975, SC - 10, 6: 371 - 379.