

文章编号: 2095-4980(2017)03-0377-05

## 高码速率遥感卫星 LDPC 译码模块设计

谢学东, 许翠玲, 汪新飞

(中国人民解放军 61112 部队, 黑龙江 牡丹江 157000)

**摘要:** 随着遥感技术的飞速发展, 遥感数据的传输速率和编码性能要求越来越高。在高码速率、复杂编码的条件下, 设计符合国际空间数据系统咨询委员会(CCSDS)标准的高码速率解调器成为解决遥感卫星数据解调的关键。在软件无线电平台的解调器结构下, 分析低密度奇偶校验码(LDPC)译码特点, 完成译码模块结构、解调速率、存储规则的设计。设计结果满足高码速率遥感卫星解调器要求, 提高了数据的下传效率和空间资源的利用效率。

**关键词:** 高码速率; LDPC 译码; 遥感数据

**中图分类号:** TN911.22

**文献标志码:** A

**doi:** 10.11805/TKYDA201703.0377

## Design of high code rate LDPC decoding module of remote sensing satellite

XIE Xuedong, XU Cuiling, WANG Xinfei

(Unit 61112 of the People's Liberation Army, Mudanjiang Heilongjiang 157000, China)

**Abstract:** With the rapid development of remote sensing technology, the requirements on the rates of remote sensing data and coding performance become more and more strict. Under high bit rates and complicated coding conditions, designing demodulator with high bit rate to meet the Consultative Committee for Space Data Systems(CCSDS) standard becomes the key to solve the remote sensing satellite data demodulation. In the demodulator structure of the software radio platform, the characteristics of Low Density Parity Check Code(LDPC) decoding are analyzed, the designs of decoding module structure, the demodulation rate and the storage rules are completed. The design results meet the requirements on high bit rate sensing satellite demodulator, which improves the lower transmission efficiency of data and the use efficiency of space resources.

**Keywords:** high code rate; Low Density Parity Check Code decoding; remote sensing data

随着遥感技术的不断发展, 空间相机的分辨力不断提高, 图像数据量也成倍增加, 卫星需要利用有限的空间资源将数据下传至地面处理系统<sup>[1]</sup>。由于空间器件的可靠性和卫星处理能力的限制, 目前大部分遥感卫星采用 RS(Reed Solomon)编码和 Viterb 编码技术, 码速率不高于 300 Mbps, 这些因素大幅限制了卫星遥感技术的发展<sup>[2]</sup>。随着空间器件的不断发展, 大容量的器件通过大量测试, 逐渐满足空间数据处理要求。空间的高码速率、复杂编码技术正逐步替代低速、简单编码的数据处理技术<sup>[3]</sup>。因此, 在符合 CCSDS 标准的情况下, 设计符合高码速率、复杂译码模块是遥感数据处理的迫切要求<sup>[4]</sup>。本文基于软件无线电的解调器结构, 充分利用 FPGA 资源的灵活设计特点, 设计专用于遥感数据的译码模块, 通过实际应用测试, 满足高码速率的卫星数据解调需求, 解决了遥感卫星大量数据的下传与处理问题。

### 1 LDPC 译码模块结构设计

低密度奇偶校验码(LDPC)译码主要模块划分如图 1 所示, 包括控制模块、输入缓存模块、校验缓存模块、向量排列单元(Vector Permutate Unit, VPU)运算模块和 CPU 运算模块<sup>[5]</sup>, 各模块主要功能描述如下:

1) 控制模块: 主要完成控制功能, 收集各种状态, 产生整个译码程序其他各个模块通用的控制信号和地址信号, 决定译码数据时序输出。在译码的迭代过程中, 控制模块首先将 CodeA 的 LLR(Log-Likelihood Ratio)软信息输入到 VPU 运算单元, 然后控制 MemA 存储器的地址, 将 VPU 的输出送到相应的地址中; 与此同时, 如果

CPU 正在处理 CodeB 的数据，还要控制 MemB 存储器的地址将数据送入 MemB 中。

2) 输入缓存模块:主要功能是产生输入缓存存储器的读写控制和地址信号,完成输入帧和迭代运算产生的硬判信息的存储。

3) 校验缓存模块:主要功能是产生校验缓存存储器的读写控制和地址信号,完成存储检验节点和变量节点间需要传递的软信息,并重组后给到 VPU 和 CPU 中。

4) VPU 运算模块:列运算,更新校验节点信息和硬判数据。

5) CPU 运算模块:行运算,求最小值和次小值,以及判断是否译码正确。

单路译码的模块框架,在实际实现代码中,按图 2 的方框来划分模块,具体功能和操作步骤如下:

1) memory 存储模块:每一个 memory 用来存储校验矩阵  $H$  行中的对应的 1 位置的信息。CCSDS 标准的子阵  $A$  的行重和列重都为 2,所以 2 个 memory 组(如 memory1\_1 和 memory1\_2)可以存储  $A$  每行的第 1 个和第 2 个 1 位置上的信息。

2)  $H$  的行重为 32,列重为 4,表示 CPU 计算时,需要每行的 32 个 1 位置上的信息,即 32 个对应 memory 的存储值;VPU 计算时,需要每列 4 个 1 位置上的信息,即 4 个对应 memory 的存储值。如果是多路并行操作,那么 VPU 的寻址相对复杂。

3) VPU 运算单元比较简单(主要是加减操作),VPU 运算单元对应存储器的并行地址控制比较复杂,所以将 VPU 运算单元相关的存储器组以及地址控制逻辑当成单个处理模块。

4) CPU 运算单元比较复杂,但 CPU 运算单元对应存储器的并行地址控制比较简单,所以单独对 CPU 运算模块进行设计。

5) LLR 即为信道软信息,存在输入帧控制模块的 RAM 中,并且由输入帧控制模块控制何时读出信道软信息进入 VPU 中进行运算。

6) 硬判决模块,每次迭代完成后都会进行硬判决,如果译码正确,则终止迭代。否则,继续迭代,直到达到最大迭代次数。

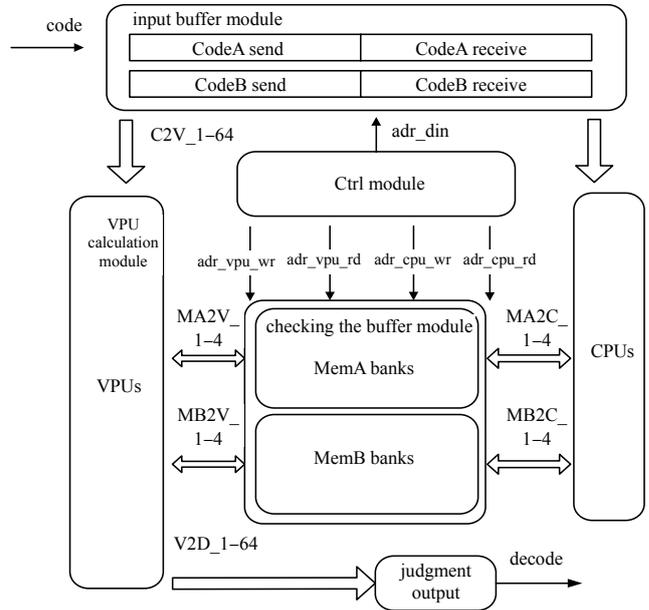


Fig.1 Main schematic diagram of LDPC decoder module  
图 1 LDPC 译码器主要模块示意图

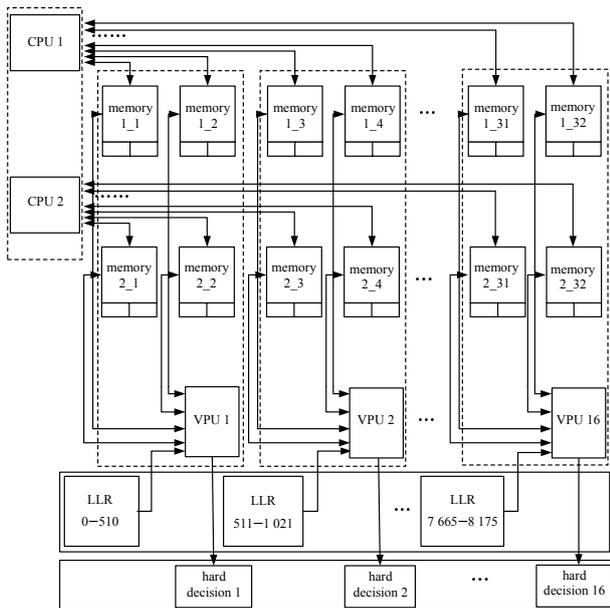


Fig.2 Single block decoder diagram  
图 2 单路译码器模块框图

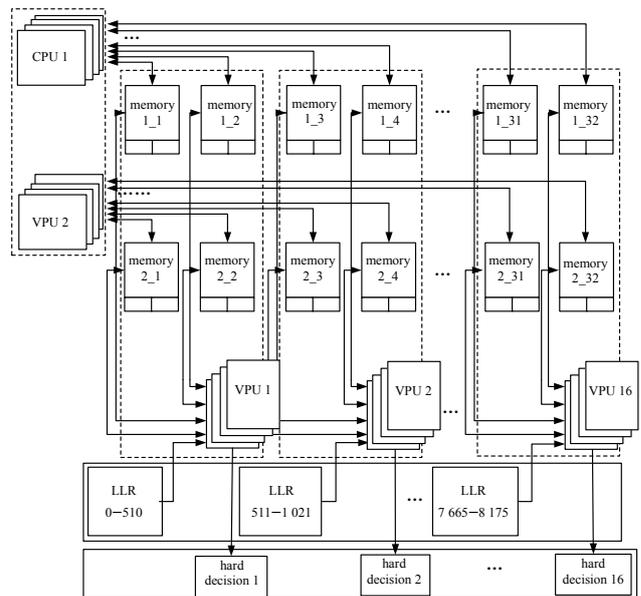


Fig.3 Dual decoder module diagram  
图 3 双路译码器模块框图

图 3 为双路译码器模块的设计框图，步骤与单路译码器类似，每次处理的数据以 4 为单位，所以将数据线改成总线的方式：即每个时钟从 memory 中读出或写入 4 个数据，每次 LLR 也是每 4 个 1 组地读出，所以需要 4 倍的 VPU 和 CPU 运算单位进行数据处理。

## 2 LDPC 译码算法设计

### 2.1 译码流程设计

译码过程由 3 个阶段组成：a) 接收：从前端软解调模块接收待译码字的软信息，为了实现连续译码，需要采用乒乓的方式缓存连续的 2 个待译码字；b) 译码：先进行 CPU 操作，再进行 VPU 操作，如此反复迭代；c) 输出：达到译码迭代次数或者译码成功后，译码结束，根据最后得到的后验信息硬判决得到最后的译码比特<sup>[6]</sup>。

在 CPU 运算需要用到上一次 VPU 计算的结果时，CPU 运算单元处于等待状态，是空闲的。反之亦然，所以 VPU 和 CPU 运算交替进行。此时 VPU 和 CPU 运算单元的利用效率不足 50%。为提高 VPU 和 CPU 运算单元的利用效率，采用 2 帧交替进行译码的方式，如图 4 所示。

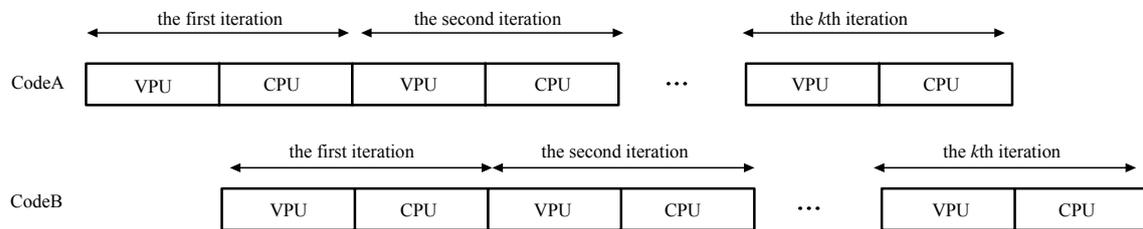


Fig 4 Alternate processing flow  
图 4 交替处理流程

在 CodeA 进行 VPU 运算时，CodeB 进行 CPU 运算；当 CodeA 转向 CPU 运算时，CodeB 进行 VPU 运算，从而到达 VPU 和 CPU 运算单元的利用效率近似为 100%。这种设计相当于 2 路并行处理，可提高硬件利用率与吞吐量，但需要增加 1 倍的存储器容量，而 CPU 运算单元和 VPU 运算单元个数不变。

由于采用交替译码的结构，输入控制需要存储 2 路数据，且采用乒乓结构来存储，这样总共有 4 帧数据需要存储(如果发送的帧数不是 4 的倍数，也没关系，译码是每帧存满了就可以开始进行的)。

### 2.2 译码速率设计

由于(8176,7154)LDPC 码的检验矩阵  $H$  为准循环 LDPC 矩阵(QC-LDPC),子阵  $A$  表示为  $M \times M (M=511)$  的循环矩阵，下一行为上一行的循环移位<sup>[7]</sup>。具体位置分布图如图 5 所示。CCSDS 标准的  $A$  行重和列重都为 2。所以  $H$  的行重为 32，列重为 4，为规则 LDPC 码。

$$H = \begin{bmatrix} A_{1,1} & A_{1,2} & A_{1,3} & A_{1,4} & A_{1,5} & A_{1,6} & A_{1,7} & A_{1,8} & A_{1,9} & A_{1,10} & A_{1,11} & A_{1,12} & A_{1,13} & A_{1,14} & A_{1,15} & A_{1,16} \\ A_{2,1} & A_{2,2} & A_{2,3} & A_{2,4} & A_{2,5} & A_{2,6} & A_{2,7} & A_{2,8} & A_{2,9} & A_{2,10} & A_{2,11} & A_{2,12} & A_{2,13} & A_{2,14} & A_{2,15} & A_{2,16} \end{bmatrix}$$

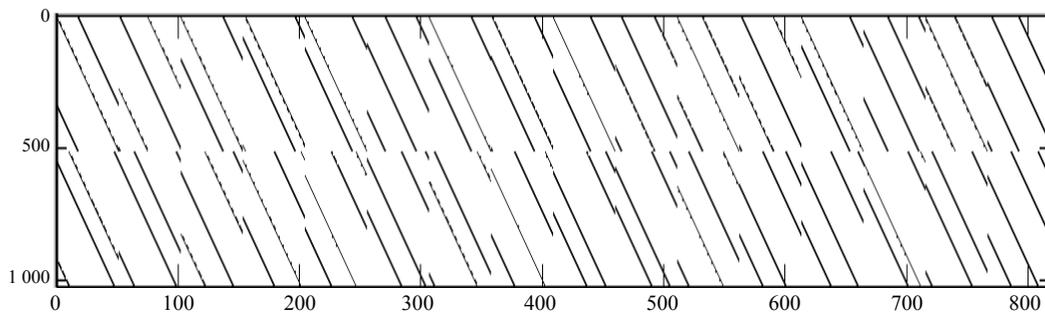


Fig.5 Position distribution of(8176, 7154) pattern verification matrix  
图 5 (8176, 7154)码型校验矩阵的 1 位置分布图

从  $H$  矩阵的结构可以看出，总共包含 32 个行重为 2 和列重为 2 的子阵，本设计将 32 个子阵拆分为 64 个行重和列重均为 1 的子阵，分别使用 64 个存储器存储每帧对应位置的非零元素，因此在行运算和列运算的时候可以进行 64 路并行运算。

$H$  矩阵总共包含 1 022 行和 8 176 列, 1 次行运算可处理 64 个数据(2 行的非零元素), 每次行运算需要 16 个时钟周期, 本设计使用并行流水设计, 因此 1 次迭代的行运算需要  $1\,022/2+16=527$  个时钟周期; 1 次列运算可处理 64 个数据(16 列的非零元素), 每次列运算需要 4 个时钟周期, 由于本设计交替利用 VPU 和 CPU 运算单元, 为便于控制, 列运算空闲 12 和时钟周期与行运算使用相同时间, 因此 1 次迭代列运算需要  $8\,176/16+4+12=527$  时钟周期。

译码 1 次迭代所需时钟个数为  $527+527=1\,054$ , 本设计采用最大迭代次数为 12 次迭代, 故 1 帧的译码时间为  $1\,054 \times 12=12\,648$  个时钟周期。每帧数据为 8 176 bit, 系统时钟使用 120 MHz 时钟, 则译码速率为  $8\,176 \times 120/12\,648=77.57$  Mbps。由于使用 2 路交替译码设计, 故译码速率可提升为  $77.57 \times 2=155$  Mbps。

为进一步提高译码速率, 在 FPGA 资源允许的情况下, 采用 16 路数据并行处理的方式, 即控制信号完全不变, 数据位宽增加为原来的 16 倍, 此时需要 16 倍的 VPU 和 CPU 运算单位进行数据处理, 即实现 16 路数据的并行译码。这样系统的译码速率为  $77.57 \times 2 \times 16=2\,480$  Mbps。

### 2.3 存储规则设计

由于译码算法使用的是归一化最小和算法, 不需要非线性量化来模拟超越函数, 所以是线性量化。CPU 运算是求最大值和次小值, 不会改变量化位宽。主要的量化信号包括信道输入的软信息和 VPU 运算的求和值<sup>[8]</sup>。量化的位宽以 CCSDS 标准上的 FPGA 译码性能作为参考, 且考虑到 FPGA 实现的 RAM 位宽, 经过定点仿真, (8176,7154)码型为 8 bit 量化, 和为 9 bit 量化, 这种情况下使用 Matlab 进行定点仿真得到(8176,7154)码型的误包率曲线和误码率曲线如图 6~图 7 所示。

(8176,7154)码型  $H$  矩阵的非零元素个数为  $32 \times 1\,022=30\,704$ ; 译码器主要有 2 个过程需要存储数据。第一是输入缓冲区: 首先将输入数据存储在 64 个存储器, 每个存储器可以容纳 511(每个子阵的 SIZE)个数据, 数据位宽为 9 bit, 则  $511 \times 9 \approx 4.5$  K。由于使用乒乓操作, 故输入缓冲区需要  $64 \times 2=128$  个存储器。第二是校验节点缓冲区: 经过行运算和列运算的数据都需要进行存储, 也需要 64 个存储器。

本设计采用交替操作和 4 路并行运算, 其存储量相当于单路运算的 8 倍, 故总的存储容量为:  $4.5\text{ K} \times (128+64) \times 8=6\,912\text{ K}$ 。FPGA 中的 BLOCK RAM 资源容量为 18 K 或 36 K, 则最少需要  $6\,912/18=384$  个 18 K 的 BLOCK RAM 或者 192 个 36 K 的 BLOCK RAM。

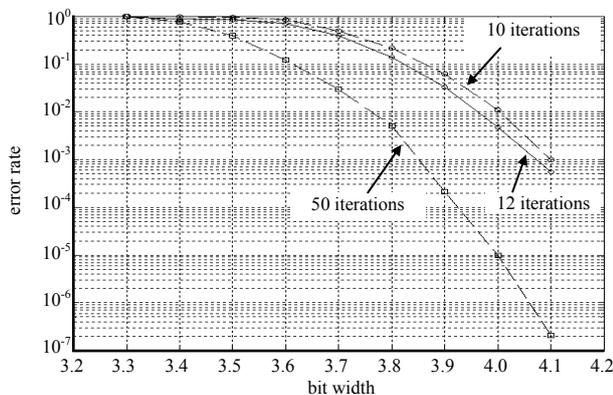


Fig.6 Error rate performance of(8176, 7154) decoder for fixed-point simulation  
图 6 (8176, 7154)译码器定点仿真的误包率性能

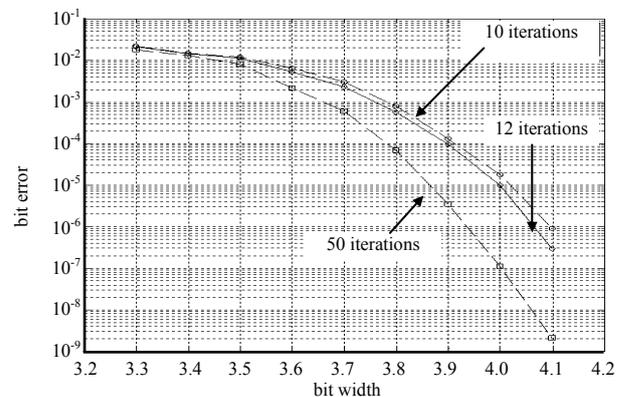


Fig.7 Bit error performance of (8176, 7154) decoder for fixed-point simulation  
图 7 (8176, 7154)译码器定点仿真的误比特性能

LDPC 码的帧结构框图如图 8 所示, 当实际信息长度小于信息序列长度  $n \times K$  ( $n=1,2,4,8$ ) 时, 可以使用虚拟填充的方式: 编码器接收  $n \times K - L$  个比特 ( $L$  代表虚拟填充的比特数, 小于  $n \times K$ ), 分成  $n$  个信息序列(每个信息序列  $K - L/n$  个比特), 然后在每个信息序列前补  $L/n$  个比特“0”形成  $K$  个比特, 对  $K$  个符号计算得到  $N - K$  个校验符号, 形成  $n$  个逻辑码字 ( $N, K$ )。然后去除虚拟填充比特截短码块, 得到  $n$  个 ( $N - L/n, K - L/n$ ) 的缩短码字。再进一步删除校验符号后, 形成  $n$  个 ( $N - L/n - Z/n, K - L$ ) 的缩短码字, 用于实际发送。

译码时首先通过 ASM(Automatic Storage Management)找到每个数据帧的帧头位置, 并进行去相位模糊运算。然后将接收的缩短码字通过补零恢复成正常长度的逻辑码字, 然后再将删除的校验符补零, 形成长度为  $N$  的码字送入译码器。

### 3 结论

不同的数据结构应当采用不同的译码算法。对于遥感数据的高码速率特点和 CCSDS 的数据结构要求，采用比较成熟的软件无线电平台结构，利用 FPGA 资源的灵活算法设计特点，结合 LDPC 的译码算法，设计符合高码速率遥感卫星 LDPC 译码模块，满足系统设计要求<sup>[9]</sup>。从技术层面上，利用特定的译码算法，提高了数据下传速率，保证了数据传输的质量和数据处理的有效性。

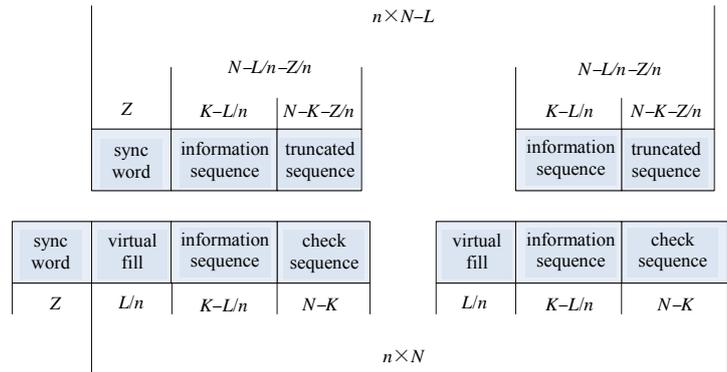


Fig.8 Block diagram of frame structure  
图 8 帧结构组成框图

### 参考文献：

[ 1 ] 张靖琳,刘荣科,赵岭. 高码率 LDPC 码译码器的优化设计与实现[J]. 电子与信息学报, 2009,31(1):83-86. (ZHANG Jinglin,LIU Rongke,ZHAO Ling. Optimized decoder design and implement for high rate LDPC codes[J]. Journal of Electronics & Information Technology, 2009,31(1):83-86.)

[ 2 ] 赵岭,张晓林,侯毅. 高效多码率 LDPC 码译码器结构设计[J]. 北京航空航天大学学报, 2011,37(6):695-700. (ZHAO Ling,ZHANG Xiaoling,HOU Yi. Efficient design of multi-rate low-density parity-check code decoder[J]. Journal of Beijing University of Aeronautics and Astronautics, 2011,37(6):695-700.)

[ 3 ] 肖海微,汪洋,张继良,等. 基于 LDPC 码与星座旋转正交 STBC 的级联编译码方法[J]. 系统工程与电子技术, 2011, 33(9):2122-2125. (XIAO Haiwei,WANG Yang,ZHANG Jiliang,et al. Concatenated coding based on LDPC codes and super quasi-orthogonal STBC[J]. Systems Engineering and Electronics, 2011,33(9):2122-2125.)

[ 4 ] 赵晓沐. 联合 LDPC 译码和 MIMO 信号检测算法研究[D]. 杭州:浙江大学, 2014. (ZHAO Xiaomu. Research on joint LDPC decoding and MIMO signal detection algorithm[D]. Hangzhou,Zhejiang,China:Zhejiang University, 2014.)

[ 5 ] 林宗坚,姚娜,邓冰. 星地遥感数据压缩的差分编码方法研究[J]. 航天器工程, 2011,20(5):4-10. (LIN Zongjian,YAO Na, DENG Bing. Research on differential coding method for satellite remote sensing data-compression[J]. Spacecraft Engineering, 2011,20(5):4-10.)

[ 6 ] 武文波,王琨,陈大羽,等. CCSDS 在遥感图像压缩中的应用研究[J]. 航天返回与遥感, 2010,31(2):46-50. (WU Wenbo, WANG Kun,CHEN Dayu,et al. Research on application of CCSDS in remote sensing image compression[J]. Spacecraft Recovery & Remote Sensing, 2010,31(2):46-50.)

[ 7 ] 张浩,殷柳国. 星地高速数传系统的 LDPC 编码器 ASIC 集成芯片设计[J]. 宇航学报, 2015,36(1):96-102. (ZHANG Hao, YIN Liuguo. ASIC design of an LDPC encoder for satellite-ground high-speed data transmission system[J]. Journal of Astronautics, 2015,36(1):96-102.)

[ 8 ] 丁文波,王晨,刘彤. 基于 LDPC 编码的卫星通信技术的优点[J]. 电子世界, 2014(8):76. (DING Wenbo,WANG Chen, LIU Tong. Advantages of satellite communication technology based on LDPC coding[J]. Electronic World, 2014(8):76.)

[ 9 ] 闫峥,王梦源. 空间通信中调制与编码热点技术探析[J]. 太赫兹科学与电子信息学报, 2015,13(5):736-739. (YAN Zheng,WANG Mengyuan. Hot technology analysis of modulation and coding in space communication[J]. Journal of Terahertz Science and Electronic Information Technology, 2015,13(5):736-739.)

### 作者简介：



谢学东(1987-), 男, 内蒙古自治区商都县人, 工程师, 主要研究方向为遥感卫星数据的接收与处理.email:xuedongxie@hotmail.com.

许翠玲(1969-), 女, 安徽省桐城市人, 工程师, 主要研究遥感卫星数据的处理。

汪新飞(1977-), 男, 湖南省益阳市人, 高级工程师, 主要研究遥感卫星数据的接收与处理。