

文章编号: 1672-2892(2012)03-0359-04

一种高电源抑制比和高精度带隙电压源设计

张啸诚, 邢建力

(厦门大学 信息科学与技术学院, 福建 厦门 361000)

摘 要: 介绍了一种 BiCMOS 工艺制作的高电源抑制比和高精确度的带隙基准电压源, 其输出电压为 1.2 V, 在 $-40\text{ }^{\circ}\text{C}\sim 80\text{ }^{\circ}\text{C}$ 范围内有较好的温度特性, 温度漂移系数为 $9.8\times 10^{-6}\text{ }^{\circ}\text{C}^{-1}$ 。采用电压负反馈原理和减少耦合电容的方法, 使电路具有高的电源抑制比, 并且电路结构简单, 匹配性好。采用 Hspice 工具对电路进行了仿真, 验证了设计的正确性。该电路能广泛用于在电源环境恶劣的场合下工作的集成电路中。

关键词: 带隙电压; 温度系数; BiCMOS 工艺; 电源抑制比

中图分类号: TN402

文献标识码: A

A BiCMOS-based bandgap reference circuit with high PSRR and precision

ZHANG Xiao-cheng, XING Jian-li

(School of Information Science and Engineering, Xiamen University, Xiamen Fujian 361000, China)

Abstract: This paper describes the design of a bandgap reference circuit with high Power Supply Rejection Ratio(PSRR) and high precision. The circuit can output a reference voltage of 1.2 V and bears a temperature coefficient of $9.8\times 10^{-6}\text{ }^{\circ}\text{C}^{-1}$ between $-40\text{ }^{\circ}\text{C}$ and $80\text{ }^{\circ}\text{C}$. The circuit features high PSRR, simple circuit structure and excellent matching performance by using a negative-feedback loop and reducing the coupling capacitance. The correctness of the circuit design is verified through the simulation in Hspice. The circuit can be widely used in the integrated circuits working under harsh power environment.

Key words: bandgap voltage; temperature coefficient; BiCMOS; Power Supply Rejection Ratio(PSRR)

尽管带隙电压参考的精度和温度漂移系数这 2 个参数是电路设计者重点考虑的指标^[1-4], 但在开关电源系统中, 由于 DC/DC 芯片常常工作在电源纹波较大的环境下, DC/DC 芯片内部的参考电压源不仅要满足精度和温漂的要求, 而且还必须满足高电源抑制比的要求。本文提出的一种新颖的带隙电压基准电路结构^[5], 可同时满足高精度、低温漂、高电源抑制比的要求, 能够被广泛应用于在电源环境恶劣的场合下工作的集成电路中。

1 基础带隙电路

图 1(a)是产生带隙电压基准源的原理示意图, 双极型晶体管基极-发射极结压降 V_{BE} 在室温下的温度系数约为 $-2\text{ mV}/^{\circ}\text{C}$, 而热电压 V_T 在室温下的温度系数为 $0.086\text{ mV}/^{\circ}\text{C}$, 将 V_T 乘以与温度无关的常数因子 K 并和 V_{BE} 相加就得到一个几乎与温度无关的输出电压 V_{REF} :

$$V_{REF} = V_{BE} + KV_T \quad (1)$$

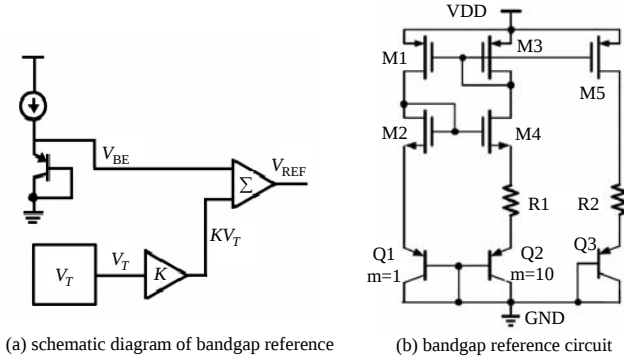
将式(1)对温度 T 进行微分, 并令在某一参考温度 T_0 下等于零, 可得常数 K 。

图 1(b)是一种基于传统 P 型衬底 CMOS 工艺实现的带隙电压基准电路。图中的双极型晶体管是由 p+有源区、n 阱和 p 型衬底形成的纵向 PNP 晶体管。如果 2 个 PNP 双极型晶体管具有不同发射极面积, 且偏置在相同集电极电流下, 它们的发射结电压差值 ΔV_{BE} 是 PTAT 电压, 所以设 PNP 管 Q1, Q2 的发射结面积之比为 1:10, M1~M4 管组成与电源电压无关的偏置, 由于电路必须保证 $V_X = V_Y$, 于是可以推出 $I_{D1} = I_{D2} = (V_T \ln 10) / R_1$, 所以:

$$V_{REF} = V_{BE3} + \frac{R_2}{R_1} V_T \ln 10 \quad (2)$$

所以适当地设计 R_1 与 R_2 的比值, 就可以得到接近零温度系数的电压值。

图 1(b)所示的带隙基准源结构中, 虽然可以得到低的温度系数, 但是电源抑制比较低(如图 2 所示), 不适合工作在电源电压不稳定的环境下, 所以有必要对电路进行改进。



(a) schematic diagram of bandgap reference (b) bandgap reference circuit
Fig.1 Traditional bandgap reference circuit
图 1 传统的带隙电压源

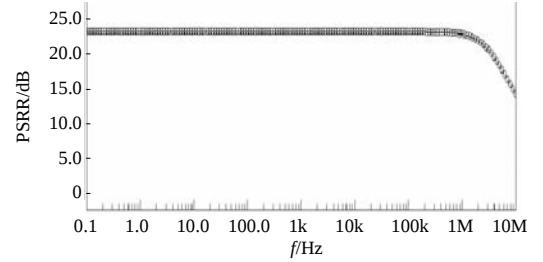


Fig.2 Simulation result of PSRR
图 2 电源抑制比仿真结果

2 高电源抑制比、高精度带隙电压基准源

2.1 电压负反馈提高电源抑制比

首先介绍一种运用电压负反馈来提高电源抑制比的方法^[6-8]。电路结构如图 3 所示, 基准产生电路由 NPN 晶体管 $Q_4 \sim Q_7$, 电阻 R_3, R_4, R_6 构成。其中 $R_3 = R_4 = R$, Q_7 管与 Q_6 管的发射结面积之比等于 10, Q_4, Q_5 两管相同。流过 Q_4, Q_5 管的电流相等。 Q_4, Q_5 管起钳位作用, 使电阻 R_3, R_4 两端的电压相等, 流过 R_3, R_4 的电流也相等, 且等于流过 R_6 的电流。通过 $Q_6 \sim Q_7$ 管、电阻 R_6 来产生 PTAT 电流:

$$I_{PTAT} = \frac{V_{BE6} - V_{BE7}}{R_6} = \frac{\Delta V_{BE}}{R_6} = \frac{V_T \cdot \ln 10}{R_6} \quad (3)$$

PTAT 电流在电阻 R_2, R_3 产生压降, 与 Q_6 管的 V_{BE} 相叠加产生基准电压:

$$V_{REF} = V_{BE6} + \frac{2R_2 + R_3}{R_6} \cdot V_T \ln 10 \quad (4)$$

所以适当设计 R_2, R_3, R_6 的值, 可以得到接近零温度系数的参考电压值。

若假设电源电压 V_{DD} 不稳定, 幅值向上波动, 则会引起 I_1, I_3, I_4 上升, 导致 V_{REF} 上升, 直接导致 A 点电压上升, 上升信号通过 Q_5 管反向放大之后传递到 B 点, 导致 B 点电压下降, 再通过二极管接法的 M4 管传至 C 点, 导致 M10 管的栅极电压下降, 反馈至 V_{REF} 端, 使 V_{REF} 下降, 稳定住 V_{REF} , 明显提高了电源抑制比, 如图 4 所示。

2.2 改进电路结构

为了进一步提高电源抑制比, 可以将电路继续改进, 将 M100, M101 分别拆成 2 个管子, 如图 5 所示。其中, $M1 \sim M6$ 的宽长比(W/L)之比为:

$$\left(\frac{W}{L}\right)_1 / \left(\frac{W}{L}\right)_2 / \left(\frac{W}{L}\right)_3 = \left(\frac{W}{L}\right)_6 / \left(\frac{W}{L}\right)_5 / \left(\frac{W}{L}\right)_4 = 9/1/10 \quad (5)$$

其中, M2 连接成二极管自偏置形式, M1, M3 镜像流过 M2 的电流。

由式(5)知, 流过 M2 的电流要远小于 M1, M3, 所以流过 M1, M3 的电流受电源变化的影响很小。M6 也连接成二极管形式, 其宽长比与 M4 相近, 进而使得 M1, M3 漏端电压近似一致且不随电源电压变化, 在计入沟道长度调制效应时, 保证了 M1, M3 的电流比例精度。

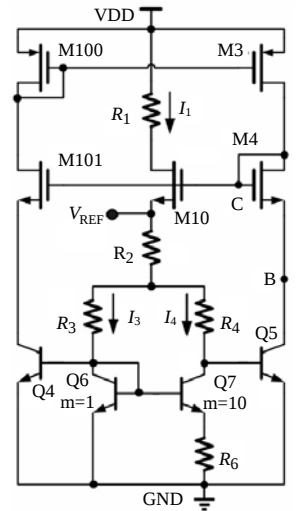


Fig.3 Negative feedback circuit
图 3 电压负反馈电路

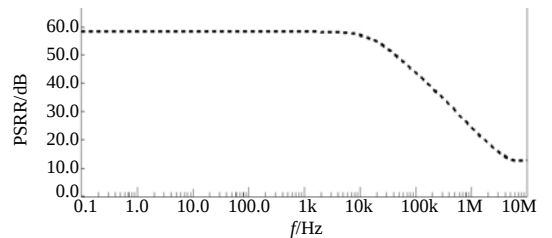


Fig.4 Result of PSRR
图 4 电源抑制比的仿真结果

从耦合电容的角度来考虑,在图 5(a)中,从电源 VDD 耦合到节点 C 的电容为:

$$C_{all-a} = C_{gs100} \parallel C_{gd101} + C_{gs3} \parallel C_{gd3} \quad (6)$$

在图 5(b)中,从电源 VDD 耦合到节点 C 的电容约为:

$$C_{all-b} = (C_{gs1} + C_{gs2}) \parallel C_{gd5} + C_{gs3} \parallel C_{gd3} \quad (7)$$

其中 C_{gd} 主要为交叠电容,并且 M5 管的宽长比只有 M101 管的 1/10, 所以:

$$C_{gd5} = \frac{1}{10} C_{gd101} \quad (8)$$

$$(C_{gs1} + C_{gs2}) = C_{gs100} \gg C_{gd5} \quad (9)$$

将式(8)、式(9)代入式(7)得:

$$C_{all-b} \approx \frac{1}{10} C_{gd101} + C_{gs3} \parallel C_{gd3} \quad (10)$$

对比式(10)和式(6)可知,电路改进之后,从 VDD 耦合到节点 C 的电容减小了,导致电源纹波对基准源输出的影响也减小了。所有以上这些都降低了对电源的依赖性,提高了电源抑制比。

2.3 完整的高电源抑制比、高精度带隙电压源电路

本文完整的带隙电压源电路如图 6 所示,其核心电路由上述电路结构组成, M2, M5 的沟道长度为 $15 \mu\text{m}$, M10 的沟道长度为 $100 \mu\text{m}$, 启动电路由 Q1~Q3, M20, M21 管组成, 为了降低功耗, M20, M21 为沟道长度远大于宽度的倒比管。电路上电的过程中, M20, M21 管导通, Q1, Q3 管流过一次很小的电流, 使 Q2 管的基极电位抬高, 而此时基准输出的电位比较低, 使得 Q2 管略微导通, 分别向 M2 管的漏端抽取, M10 管的源端注入两路小电流来使基准产生电路部分开启, 并摆脱零电流偏置的简并状态。整个基准电路正常工作后, Q2 管的发射极电位高于基极电位, 所以 Q2 管关断, 使启动电路停止工作, 同时 Q1, Q3 管静态工作电路只有 10 nA 左右, 不会对基准部分产生影响。电阻 R5 可以防止 Q7 管在高温下进入饱和区。M7, M8 管引入电流反馈, 可以提高电路的带负载能力。

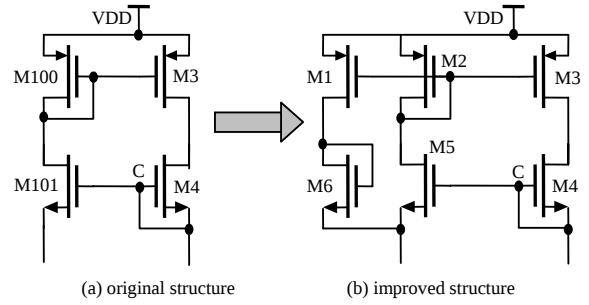


Fig.5 Improved circuit
图5 改进电路结构

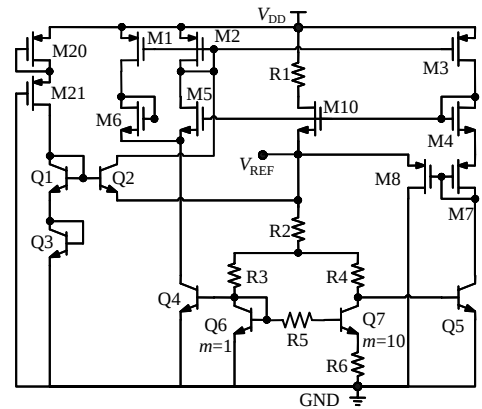


Fig.6 High PSRR, high precision bandgap reference circuit
图6 完整的高电源抑制比、高精度带隙电压源电路

3 仿真结果与讨论

图 7 是电源抑制比的仿真结果对比图, 从下到上依次是图 1(b)、图 3、图 6 电路的仿真结果, 从仿真结果中可以很明显地看出, 每一次电路结构的改进, 都可以明显地提高电源抑制比。

由图 8 可知, 电源电压为 3 V 时, 从上到下依次为 FF, SE, FS, SS 工艺角, 在 $-40^\circ\text{C} \sim 80^\circ\text{C}$ 的范围内, 基准输出的波动略小于 1.4 mV , 基准的温度漂移系数小于 $9.8 \times 10^{-6} \text{ }^\circ\text{C}^{-1}$ 。在不同工艺角下基准输出随温度变化的曲线族, 该曲线族的最大值与最小值的差值为 1.5 mV , 可知即使在考虑工艺容差时, 基准受温度的影响也相当小。

由图 9 可知, 电源电压从 3 V 变化到 14 V 时, 从上到下依次为 FF, SE, FS, SS 工艺角, 基准输出的波动约为 0.4 mV , 其最大、最小值的差小于 0.5 mV , 可见即使考虑工艺容差, 该基准也几乎与电源电压无关。

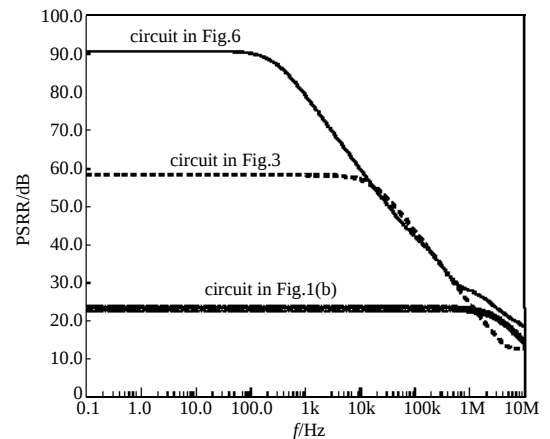


Fig.7 General plan of power supply rejection ratio
图7 电源抑制比总图

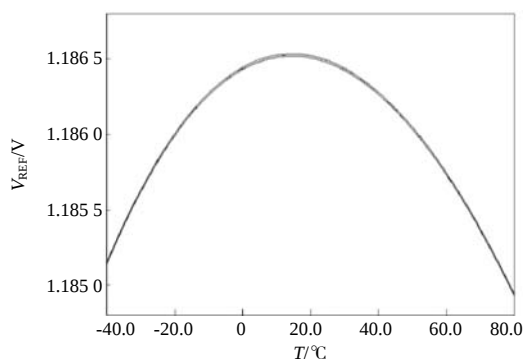


Fig.8 Curve of reference voltage changing with temperature at different process corners

图8 不同工艺角下基准电压随温度变化的曲线

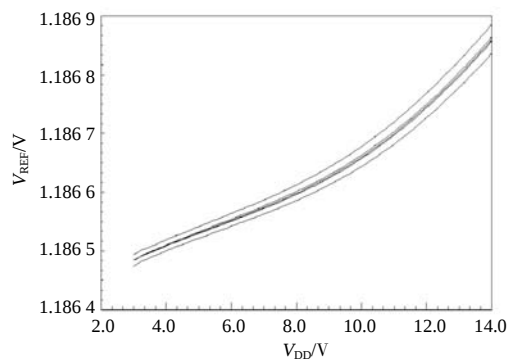


Fig.9 Curve of reference voltage changing with supply voltage at different process corners

图9 不同工艺角下基准电压随电源电压变化的曲线

4 结论

在对传统带隙电压基准源分析和总结的基础上,提出了一种新的提高电源抑制比和精度的电路结构,并且电路结构简单,调整方便,温度漂移系数仅为 $9.8 \times 10^{-6} \text{ }^{\circ}\text{C}^{-1}$,仿真结果证明了设计的正确性。虽然此电路难以工作在 3 V 以下的电源电压下,并且需使用 BiCMOS 工艺,但是它依然可以广泛用于在电源环境恶劣的场合下工作的集成电路中。

参考文献:

- [1] Tesch B J, Pratt P M, Bacrania K, et al. A 14-b 125 MSPS Digital-to-Analog Converter and Bandgap Voltage Reference in 0.5 μm CMOS[C]// Proc. of the IEEE 1999 ISCAA'99. Orlando, FL, USA: [s.n.], 1999:452-455.
- [2] Banba H, Siga H, Umezawa A, et al. A CMOS Bandgap Reference with Sub-1-V Operation[J]. IEEE Journal of solid-state Circuits, 1999, 34(5):670-674.
- [3] Paul R Gray, Paul J Hurst, Stephen H Lewis, et al. Analysis and design of analog integrated circuits[M]. New York: John Wiley & Sons, 2001:299-327.
- [4] Gabriel Alfonso Rincon-Mora. Voltage References: from Diodes to Precision High-Order Bandgap Circuits[M]. [S.l.]: Wiley-IEEE Press, 2002.
- [5] Siew Kuok Hoon, Jun Chen, Maloberti F. An Improved Bandgap Reference with High Power Supply Rejection[C]// ISCAS 2002. Scottsdale, Arizona, USA: [s.n.], 2002:V833-V836.
- [6] Tham Khong-Meng, Nagaraj Krishnaswamy. A Low Supply Voltage High PSRR Voltage Reference in CMOS Process[J]. IEEE Journal of Solid-State Circuits, 1995, 30(5):586-590.
- [7] Rajarshi Paul, Amit Patra. A temperature compensated bandgap voltage reference circuit for high precision applications[C]// Proceedings of the IEEE INDICON 2004. Kharagpur, West Bengal, India: IEEE Kharagpur Section, 2004:553-556.
- [8] Inyeol Lee, Gyudong Kim, Wonchan Kim. Exponential curvature compensated BiCMOS bandgap references[J]. IEEE Journal of Solid-State Circuits, 1994, 29(11):1396-1403.

作者简介:



张啸诚(1986-), 男, 武汉市人, 在读硕士研究生, 主要研究方向为放大器、带隙参考电路、开关电源等.email:zxchenry@qq.com.

邢建力(1961-), 男, 山东省文登市人, 教授级高级工程师, 长期从事模拟集成电路设计与工艺研究.