

文章编号: 2095-4980(2017)01-0125-05

抗辐射加固 CMOS 基准设计

刘 智, 杨力宏, 姚和平, 梁 希

(西安微电子技术研究所, 陕西 西安 710065)

摘 要: 研究了基于 0.5 μm 互补金属氧化物半导体(CMOS)工艺的动态阈值 MOS(DTMOS)晶体管的电流-电压特性曲线。与常规 CMOS 工艺 PNP 晶体管特性对比, 得到了带隙电压基准电路设计准则; 采用 DT MOS 和抗辐射设计加固技术, 完成了抗辐射加固 CMOS 基准设计。辐照试验结果表明, 设计的抗辐射加固 CMOS 基准的抗总剂量能力达到了 300 krad(Si)。

关键词: 辐射加固; 设计加固; 带隙基准; 动态阈值 MOS 管

中图分类号: TN74

文献标志码: A

doi: 10.11805/TKYDA201701.0125

Design of a total-dose radiation hardened CMOS reference

LIU Zhi, YANG Lihong, YAO Heping, LIANG Xi

(Xi'an Institute of Microelectronics Technology, Xi'an Shaanxi 710065, China)

Abstract: The $I-U$ characteristic curves of Dynamic Threshold MOS(DTMOS) transistor are obtained based on 0.5 μm Complementary Metal Oxide Semiconductor(CMOS) process. Compared with the PNP transistor of conventional CMOS technology, the design criteria are given, which are used to design the radiation-hardened CMOS reference. The radiation-hardened CMOS reference is completed by using DT MOS diodes as radiation tolerance diodes and combining the Radiation Hardening By Design(RHBD) technology. The experimental results show that the ability of anti- γ ionizing radiation total dose reaches up to 300 krad(Si) for the radiation-hardened CMOS reference.

Keywords: radiation hardened; Radiation Hardening By Design; bandgap reference; Dynamic Threshold MOS

随着空间技术的发展, 处于空间辐射环境中的航天器对所用电子器件的抗辐射能力提出了更高要求^[1]。带隙基准因具有与电源电压变化、工艺参数变化和温度变化几乎无关的优点, 被广泛用于低压差线性稳压器、DC/DC 变换器、高精度 D/A 和 A/D 转换器等多种模拟和数模混合集成电路中, 已成为模拟电路的关键功能模块^[2]。随着 CMOS 工艺和模拟集成电路设计技术的不断进步, CMOS 技术已经是复杂混合信号系统的主流选择, 研究 CMOS 基准的抗辐射加固技术具有重要的现实意义。

随着 CMOS 技术的进步, 栅氧化层厚度越来越薄, 其本征抗总剂量辐射能力有了很大提高。对于亚微米、深亚微米(栅氧厚度约 10 nm) CMOS 工艺来说, 总剂量辐射感应的栅氧化层界面陷阱虽然不是加固重点, 但仍需在版图设计上考虑加固措施。在 0.5 μm 尺度附近, 硅局部氧化隔离和鸟嘴或浅槽隔离(Shallow Trench Isolation, STI)侧墙等区域仍然会产生总剂量效应, 漏电通道仍然很明显^[3]。目前设计加固(RHBD)已成为 CMOS IC 加固的一个主要研究方向和有效手段^[4-5]。通过 RHBD 技术可有效提高 MOS 集成电路的抗总剂量辐射能力, CMOS 带隙基准的抗辐射加固研究重点已由 CMOS 管加固转变为对产生带隙的二极管加固。动态阈值 MOS(DTMOS)管最早于 1994 年提出, 用于解决数字集成电路速度和功耗的矛盾^[6]。但随着对其性能的深入研究, 其应用也越来越广泛。文献[7-8]讨论了在 0.13 μm CMOS 数模混合信号工艺下, 利用 DT MOS 二极管代替传统 CMOS 带隙基准电路中的二极管器件, 基准的抗辐射性能有了很大提高。

本文在研究 0.5 μm 的 DT MOS 晶体管特性的基础上, 综合采用 DT MOS 和抗辐射设计加固技术, 完成了 CMOS 基准的抗辐射加固设计。

1 DTMOS 二极管特性分析

在 CMOS 混合信号工艺中，带隙基准中的二极管采用连接成二极管形式的 PNP 晶体管。该 PNP 晶体管把 n 阱中的 p⁺区(与 PMOS 的源漏区相同)作为发射区，n 阱本身作为基区，p 型衬底作为集电区，并且接到地上。二极管形式的 PNP 晶体管的核心是 pn 结，该 pn 结的边缘区域与较厚的场氧层相连，如图 1 所示。在总剂量辐射环境中，场氧层俘获空穴，并在靠近 SiO₂/Si 界面的 SiO₂ 一侧的边界积累，感应形成一个与常规 pn 结特性不同的寄生 p-n⁺结，并与主二极管并联。由于场氧层下方辐射感应的过剩电子浓度取决于辐射累积剂量，在辐射环境下，二极管总的 I/U 特性会有相当大的漂移，从而造成基准输出电压不稳定^[7-8]。

p 沟 DTMOS 二极管结构如图 2 所示。该结构等效成电路实际上是栅、漏和衬底接地的 PMOS 管结构。在版图结构上，DTMOS 采用闭合栅。闭合栅内为源极，栅外为漏极，这样就形成了一个封闭的几何布局，完全避免了厚场氧形成的 p-n⁺结，消除了总剂量辐射效应，这就是其抗总剂量辐射效应的机理。

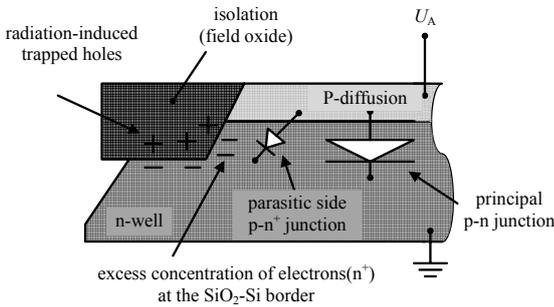


Fig.1 The TID effect of a conventional diode in the CMOS^[8]
图 1 用于基准的传统二极管剖面及总剂量辐射效应示意图^[8]

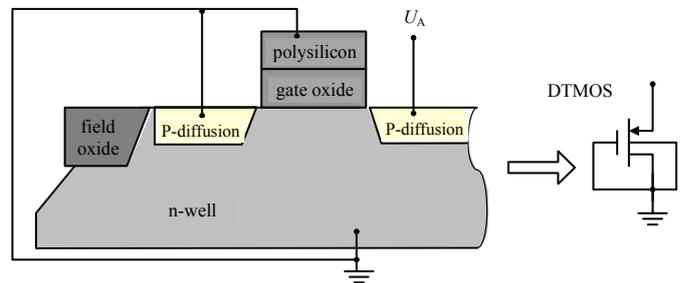


Fig.2 P-channel DTMOS diode^[8]
图 2 P 沟 DTMOS 二极管剖面示意图^[8]

二极管形式的 PNP 晶体管的核心是 pn 结，如图 3(a)所示，其 I/U 特性为^[9]：

$$I(U) = I_0 \left(e^{\frac{qU_{pn}}{kT}} - 1 \right) \tag{1}$$

$$I_0 = Const \times A \times T^{\frac{3+\gamma}{2}} e^{-\frac{E_g(T)}{kT}} \tag{2}$$

式中： q 为电子电量； $Const$ 为常数； A 为结面积； γ 是与温度、少数载流子的迁移率和扩散系数相关的常数； T 为结的绝对温度； $E_g(T)$ 为材料的禁带宽度； k 为波尔兹曼常数。 $U_g(T) = \frac{E_g(T)}{q}$ 为带隙电压，对于硅材料， $U_g(T=0)=1.12$ V。

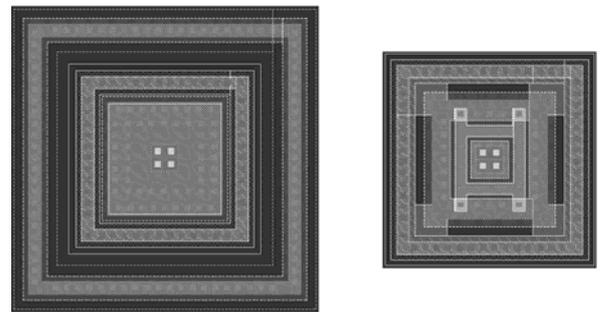
DTMOS 晶体管如图 3(b)所示，其 I/U 特性为^[8]：

$$I_s(U) = I_{s0} \left(e^{\frac{qU_s}{kT}} - 1 \right) \tag{3}$$

$$I_{s0} = Const_s \times \frac{W}{L} T^{\frac{4+\gamma}{2}} e^{-\frac{E_g(T)-q|\psi_s|}{kT}} \tag{4}$$

式中： I_s 为源极电流； $Const_s$ 为常数； W 和 L 分别为器件的栅宽和栅长； ψ_s 为表面势，当处于耗尽状态和弱反型状态时，表面势是内建电压势的函数。

比较式(1)和式(3)可以看出，常规二极管形式 PNP 晶体管的 pn 结 I/U 特性和 DTMOS 的 I/U 特性是相似的，都是指数关系。这是 DTMOS 在基准电路中可以取代常规二极管形式的 PNP 晶体管的理论基础。



(a) layout of PNP (b) layout of DTMOS

Fig.3 Layouts of DTMOS and of PNP
图 3 DTMOS 和 PNP(二极管连接)版图

2 0.5 μm CMOS DTMOS 晶体管特性研究

基于 0.5 μm CMOS 混合信号工艺，设计了如图 3(b)所示的 DTMOS 晶体管。通过仿真、测试及理论分析得

出以下结论:

- 1) 当沟道宽度(W)一定,沟道长度(L)在 $0.5\sim 1.0\ \mu\text{m}$ 范围内变化时,DTMOS 晶体管的 $I-U$ 特性曲线基本重合。
- 2) 当沟道长度(L)一定($0.5\sim 1.0\ \mu\text{m}$),沟道宽度(W)大于 $10\ \mu\text{m}$ 时,DTMOS 晶体管的 $I-U$ 特性曲线基本重合。
- 3) 当 DTMOS 晶体管和 PNP 晶体管(二极管连接) $I-U$ 特性曲线相似时,两者版图如图 3 所示。DTMOS 晶体管面积小于 PNP 晶体管(二极管连接)。

4) DTMOS 晶体管和 PNP 晶体管(二极管连接)具有相同的负温度特性,温度特性曲线如图 4 所示,温度系数为: $T_c(\text{DTMOS}) = -1.298\ \text{mV}/^\circ\text{C}$ 。

5) DTMOS 晶体管和 PNP 晶体管(二极管连接)表现出相同的指数 $I-U$ 特性,如图 5 和图 6 所示。

根据以上结论,DTMOS 晶体管从性能上完全可以代替带隙基准电路中的 PNP 晶体管(二极管连接)。因其具有抗总剂量辐射能力,可应用于带隙基准的抗辐射加固设计。

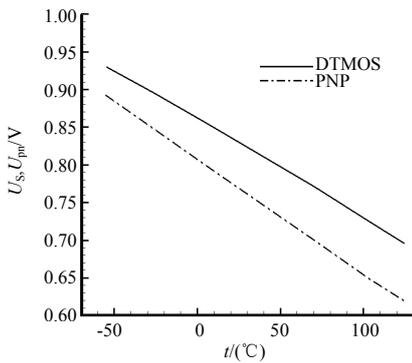


Fig.4 Temperature characteristics
图 4 温度特性曲线图

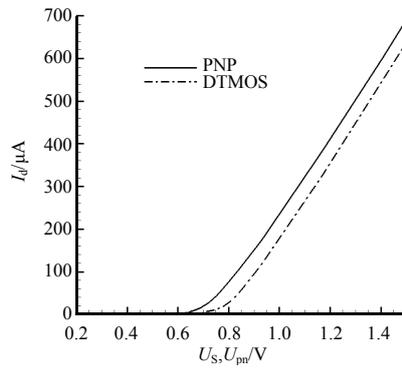


Fig.5 $I-U$ characteristics
图 5 $I-U$ 特性曲线

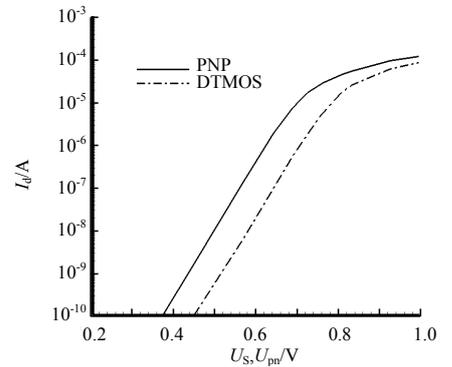


Fig.6 Weak inversion region $U-I$ characteristics
图 6 弱反型区 $U-I$ 电压特性曲线

3 抗辐射 CMOS 基准设计

设计的加固基准电路如图 7 所示,其中 DTMOS 替换了传统二极管($Q_1\sim Q_5$)。该 CMOS 基准输出高精度的 $1.25\ \text{V}$ 电压和 $8\ \mu\text{A}$ 电流。由图 5 所示的 DTMOS 晶体管与 PNP(二极管连接)的 $I-U$ 特性对比曲线可以看出,这 2 种器件的 $I-U$ 特性还是存在一定差异的。所以,整个基准电路需重新设计器件参数,主要是静态直流工作点的设置和温度补偿特性的设计。需要注意的是:因弱反型 DTMOS 二极管存在内建电势 ψ_s ,其饱和电流要大得多;特别是由于内建电势的作用,表面少数浓度增加,有效带隙电压会有所降低。为提高基准精确度,图 7 中的电阻 R_3 实际设计为阻值可调。

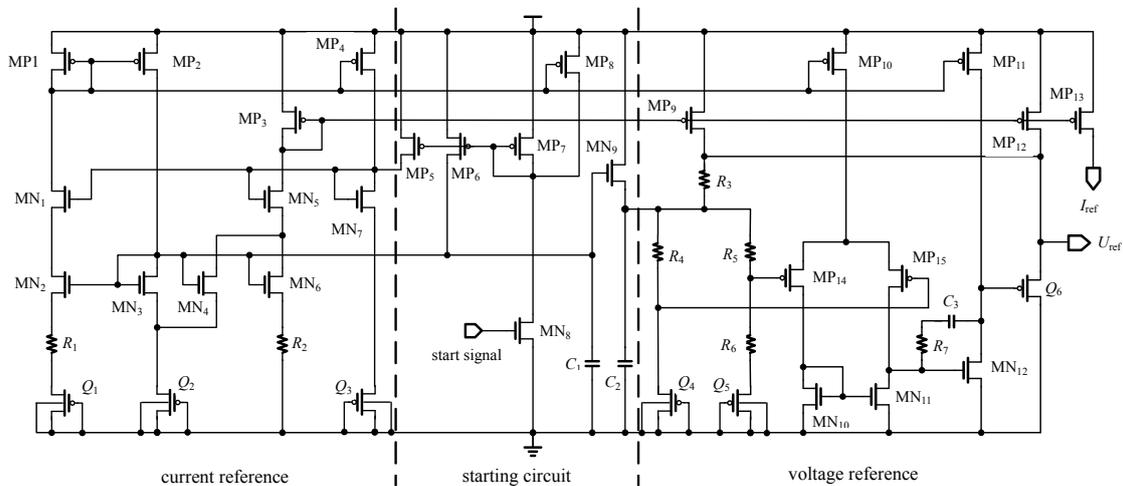


Fig.7 Schematic of the radiation hardening bandgap
图 7 抗辐射加固基准电路原理图

采用 DTMOS 晶体管设计的加固基准与传统 PNP(二极管连接)的基准仿真曲线如图 8 所示。从图中可以看出,采用 DTMOS 晶体管的基准电压温度特性与采用 PNP(二极管连接)的基准电压温度特性接近,性能稍微差一些。但采用 DTMOS 结构能极大地提高基准的能力,同时,该 p 沟 DTMOS 二极管还具有在任何双阱(p 衬底)CMOS 工艺上实现的优点。

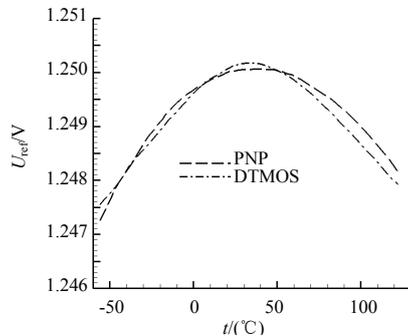


Fig.8 Temperature characteristics of the bandgap with DTMOS and with PNP

图 8 DTMOS 与 PNP(二极管连接)基准电压温度特性曲线

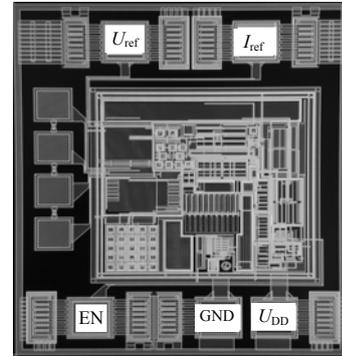


Fig.9 Photo of the radiation hard bandgap

图 9 抗辐射基准芯片照片

在版图设计时采用了 RHBD 设计加固技术,如, MOS 管采用具有抗总剂量辐射能力的 H 栅结构, NMOS 器件增加 p^+ 保护环等,有效抑制了场区边缘辐射寄生漏电,提高电路的抗电离辐射能力。设计的抗辐射基准芯片照片如图 9 所示。

4 辐射试验

辐射实验是在西北核技术研究所的 ^{60}Co γ 射线辐射装置上进行的。试验系统包括辐射源、剂量测定系统、电学测试装置、试验电路板、电缆、接线板等。实验辐射源采用 ^{60}Co , 辐射射线为 γ 射线,辐射剂量率为 $50 \text{ rad}(\text{Si})/\text{s}$,辐射累积总剂量 $300 \text{ krad}(\text{Si})$ 。现场采用数字示波器监测了基准电压的变化,同时也监测了电源电流。

在整个总剂量辐射期间($0\sim 300 \text{ krad}(\text{Si})$),基准电压变化小于 3%,电源电流变化小于 1%。在辐射实验结束 2 h 内,对辐射累积总剂量 $300 \text{ krad}(\text{Si})$ 的 CMOS 基准进行电参数测试。测试结果表明:基准电压辐射前后变化小于 3 mV。该测试结果与文献[7-8]中报道的结果相当。

5 结论

基于 $0.5 \mu\text{m}$ CMOS 数模混合信号工艺,研究了 DTMOS 晶体管的特性,得到了其特性曲线;将其 DTMOS 与常规 CMOS 工艺 PNP 晶体管特性进行了对比,得到了电路设计准则。综合 DTMOS 研究成果和抗辐射设计加固技术,完成了 CMOS 基准的抗辐射加固设计。辐照试验结果表明设计的抗辐射加固 CMOS 基准的抗总剂量能力达到了 $300 \text{ krad}(\text{Si})$ 。

参考文献:

- [1] LABEL K A,JOHNSTON A H,BARTH J L,et al. Emerging Radiation Hardness Assurance(RHA) issues:a NASA approach for space flight programs[J]. IEEE Trans. Nucl. Sci., 1998,45(6):2727-2736.
- [2] 段杰斌,罗志国,刘孟良,等. 一种用于 LDO 的低功耗带隙基准电压源[J]. 太赫兹科学与电子信息学报, 2014,12(5):767-770. (DUAN Jiebin,LUO Zhiguo,LIU Mengliang,et al. A low power bandgap voltage reference for Low Dropout Regulator[J]. Journal of Terahertz Science and Electronic Information Technology, 2014,12(5):767-770.)
- [3] JOHNSTON A H,SWIMM R T,ALLEN G R,et al. Total dose effects in CMOS trench isolation regions[J]. IEEE Trans. Nucl. Sci., 2009,56(4):1941-1949.
- [4] DODD P E,SHANEYFELT M R,SCHWANK J R,et al. Current and future challenges in radiation effects on CMOS electronics[J]. IEEE Trans. Nucl. Sci., 2010,57(4):1747-1763.
- [5] LACOE R C. Improving integrated circuit performance through the application of hardness-by-design methodology[J]. IEEE Trans. Nucl. Sci., 2008,55(6):1903-1925.

(下转第 133 页)