实现相位和频率检测解耦的快速锁相环

李子林¹,傅 闯²,汪娟娟¹,龚英明¹,李瑶佳³

(1. 华南理工大学电力学院,广东省广州市 510641; 2. 中国南方电网科学研究院有限责任公司,广东省广州市 510663;3. 广州供电局有限公司,广东省广州市 510410)

摘要:同步旋转坐标锁相环(SRF-PLL)及其改进型锁相环的相位与频率紧密耦合,电压相位发生 突变而频率不变的情况下,检测得到的频率会经历一个暂态过程,导致频率检测的不准确。为此, 在准一阶锁相环(QT1-PLL)结构基础上,增设解耦单元,提出改进型准一阶锁相环(MT1-PLL), 实现相位与频率检测的解耦。为提高 MT1-PLL 对不对称、谐波等的抗干扰能力,将级联延迟信号 消除法(CDSC)滤波与数学运算滤波结合成前置滤波模块,提取基波正序电压。该前置滤波模块 能够滤除 2 次谐波,且整个滤波过程耗时仅为 0.635 个周期。同时,考虑了电网频率偏移、信号采 样频率的影响,采用误差前馈的方法补偿它们在滤波模块造成的相位误差。最后,在 PSCAD/ EMTDC 中设置各种工况,仿真验证了 MT1-PLL、滤波模块以及相位误差消除方法的有效性。 关键词:同步旋转坐标锁相环;改进型准一阶锁相环;级联延迟信号消除法;2次谐波;相位与频 率检测解耦;频率偏移

0 引言

分布式发电、不间断电源、柔性交流输电、高压 直流输电等常常是经过电力电子换流器与电力系统 相连。它们在电力系统中占比的增加及相关标准要 求换流器具有一定的故障穿越能力,对同步锁相技 术提出了更高的要求^[1]。

锁相环(phase-locked loop,PLL)是一种重要的 同步技术^[2],其中同步旋转坐标锁相环 (synchronous reference frame phase-locked loop, SRF-PLL)在电力电子和电力系统中的应用较为 广泛^[3]。

然而 SRF-PLL 及其改进型锁相环的一个问题 是相位与频率检测紧密耦合。当电压相位发生突变 时,检测的频率经历与相位误差一样的暂态过程,此 时电压的实际频率并未改变。若暂态过程较长,检 测的频率会出现较大误差,不能反映电压的实际情 况。电压频率和相位的变化的时间尺度不同,频率 变化缓慢。例如 IEC 61000 标准要求频率的变化率 不超过1 Hz/s^[4],而相位却可能突变。现有锁相环 一般将频率通过一个低通滤波器(LPF)后输出,当 LPF的截止频率较小时,便难以快速判断究竟是电 压的相位还是频率发生了变化。因此,利用相位与 频率变化的时间尺度不同的特点,将两者的检测解 耦,将有利于快速判断电压的状态。文献[5]提出一 种相位与频率检测解耦的新型锁相环,但该锁相环 在求取频率的过程中采用了求导的方法,会放大干 扰的影响。

另外,三相电压平衡、无畸变时,SRF-PLL能够 快速准确地跟踪电压相位。当三相电压不平衡且畸 变时,需降低带宽,以提高 SRF-PLL 的谐波抑制能 力,但响应速度下降^[6]。同时,SRF-PLL 中的两个 积分环节也会降低响应速度^[7]。由于锁相环是控制 系统的一部分,它的抗干扰能力与动态响应将会产 生重要的影响。

为提高锁相环的抗干扰能力及响应速度,现有 文献主要集中在基波正序电压的提取上。文献[8] 用解耦双同步旋转坐标提取基波,构成双同步旋转 坐标锁相环(DDSRF-PLL),获得了良好的效果。文 献[9]考虑多种谐波,利用多同步旋转坐标提取基波 正序电压。虽然此类方法提高了锁相环抗干扰能 力,但计算量大、响应速度慢。

双二阶广义积分器(DSOGI)^[10-11]、多广义二阶 积分器^[12]和多复数滤波器^[13]是另一类方法。文 献[14]在 DSOGI 的基础上,构造谐波滤除模块,取

收稿日期:2018-06-25;修回日期:2018-10-16。

上网日期: 2019-01-04。

国家自然科学基金资助项目(51777079);国家自然科学基金 委员会-国家电网公司电网智能电网联合基金资助项目 (U1766213);中国南方电网有限责任公司科技项目 (ZBKJXM20180104)。

得了较好的效果。文献[15]将相序解耦谐振(SDR) 控制器与 DSOGI 相结合,对不平衡、谐波、直流分 量等具有较好的抑制效果。文献[16]提出的自适应 陷波器与 DSOGI 类似。但基于此类方法的锁相环 对低次谐波考虑不足,且滤波速度不够快。

延迟信号消除法(DSC)具有优良的滤波性能。 文献[17]应用 DSC 从不对称三相电压中提取基波 正序电压,获得了很好的效果。在多种谐波干扰的 情况下,文献[4-5,18-22]通过级联多个 DSC 形成 级联延迟信号消除法(CDSC)。鉴于 CDSC 滤波具 有高效、选择性及快速性的特点,本文将 CDSC 滤波 作为提取基波正序电压的基础。

鉴于准一阶锁相环(QT1-PLL)具有结构简单、 响应速度快等优点^[23-24],本文在此基础上提出相位 与频率检测解耦的改进型准一阶锁相环(MT1-PLL)结构。为提高MT1-PLL应对电压不平衡、畸 变、频率偏移等情况,提出一种快速的前置滤波模 块。同时采用相位补偿的方法,消除电网频率偏移 以及信号采样频率对基波正序电压相位的影响。最 后,在 PSCAD/EMTDC 中仿真验证提出的MT1-PLL 结构、前置滤波的正确性和有效性。

1 QT1-PLL

文献[24]采用的 QT1-PLL,在保证滤波能力基 本不变的情况下将积分环节去掉,可提高响应速度, 结构如图 1 所示。图中:MAF 表示滑动平均滤波。



图 1 文献[24]中 QT1-PLL 结构图 Fig. 1 Structural diagram of QT1-PLL in reference [24]

假设三相电压平衡且仅有基波正序分量,即

$$\begin{cases} v_{a} = V\cos(\omega_{0}t + \varphi_{0}) \\ v_{b} = V\cos(\omega_{0}t + \varphi_{0} - \frac{2\pi}{3}) \\ v_{c} = V\cos(\omega_{0}t + \varphi_{0} + \frac{2\pi}{3}) \end{cases}$$
(1)

式中:V为电压幅值; ω_0 和 φ_0 分别为基波电压角频 率及初相位。

对三相电压进行 Clarke 和 Park 变换后,得到 同步旋转坐标系下的 dq 分量为:

$$\begin{cases} v_d = V\cos(\omega_0 t + \varphi_0 - \hat{\theta}') \\ v_q = V\sin(\omega_0 t + \varphi_0 - \hat{\theta}') \end{cases}$$
(2)

式中: θ'为锁相环输出的同步相位。

当相位误差较小时, v_q 可线性化, 幅值标幺化 后的表达式为:

$$v_q^* \approx \omega_0 t + \varphi_0 - \hat{\theta}' \tag{3}$$

不考虑 MAF 时,锁相环的小信号模型如附录 A 图 A1 所示。此时锁相环的开环、闭环传递函数分别为:

$$G_{\rm op}(s) = \frac{k_{\rm p}}{s} \tag{4}$$

$$G_{\rm cl}'(s) = \frac{k_{\rm p}}{s+k_{\rm p}} \tag{5}$$

从式(5)可知,锁相环是个一阶 LPF,实现简 单,需设计的参数只有 k_p 。从控制理论的角度,只 要 $k_p > 0$,QT1-PLL 就满足稳定条件,而且相位裕 度为 90°,增益裕度无穷大。

但输入电压的频率发生偏移时,一阶锁相环将 会出现稳态相位误差,这是它无法被广泛应用的原 因之一^[25]。假设发生 Δω。的角频率跳变,一阶锁相 环的相位误差在时域的表达为:

$$\phi(t) = \frac{\Delta \omega_0}{k_p} (1 - e^{-k_p t}) \qquad t \ge 0 \tag{6}$$

稳态时由频率偏移产生的相位误差为 $\varphi_{ss} = \Delta \omega_0 / k_p$ 。增大 k_p 可减小误差,却得不到零稳态误差,且降低锁相环的谐波抑制能力。为此,采用相位误差前馈的方法,将相位误差与 $\hat{\theta}'$ 相加后得到准确的同步相位 $\hat{\theta}$,即

$$\hat{\theta}(t) = \hat{\theta}'(t) + \phi(t) \tag{7}$$

检测得到的角频率可表示为:

$$\hat{\omega}(t) = \omega_0 + k_p \phi(t) \tag{8}$$

为将相位误差中的谐波滤除,前馈的误差信号 经过 MAF 后与同步相位相加,得到文献[24]采用 的 QT1-PLL。MAF 滤波器可近似为^[25]:

$$G_{\rm MAF}(s) \approx \frac{1}{\frac{T_{\omega}}{2}s+1} \tag{9}$$

式中:T。为滤波窗口宽度。

考虑 MAF 滤波后, 附录 A 图 A1 中锁相环的 同步相位闭环传递函数可表示为:

$$G_{\rm cl}(s) = \frac{\left(\frac{2}{T_{\omega}} + k_{\rm p}\right)s + \frac{2}{T_{\omega}} + k_{\rm p}}{s^2 + \left(\frac{2}{T_{\omega}} + k_{\rm p}\right)s + \frac{2}{T_{\omega}} + k_{\rm p}} \qquad (10)$$

从控制系统的角度,式(10)仍然是个二阶系统, 但锁相环通路中仅有一个积分器。

2 MT1-PLL

虽然 QT1-PLL 获得了快速跟踪相位的能力, 但与 SRF-PLL 一样,相位与频率的紧密耦合使得 暂态过程中频率的检测难以准确。因此,本文在 QT1-PLL 基础上,提出一种改进型一阶锁相环 (MT1-PLL),如图 2 所示。



Fig. 2 Structural diagram of proposed MT1-PLL

2.1 MT1-PLL 中相位与频率的解耦

通过第1节中对 QT1-PLL 的分析,可知相位 误差与频率间的传递函数为:

$$G_{\phi\omega}(s) = \frac{\Delta\omega(s)}{\phi(s)} = \frac{\frac{2k_{\rm p}}{T_{\omega}}}{s + \frac{2}{T}}$$
(11)

由式(11)可知,若相位误差发生突变,频率将会 经历一个暂态过程,持续时间由 2/T。决定,且 2k_p/ T。影响着超调量。但是,相位误差发生变化,可能 来自电压相位的突变,也可能来自电压频率的变化, QT1-PLL 无法分辨。如果暂态持续时间较长,将会 影响频率检测的准确性,从而影响对电压状态快速、 准确的判断。

由于相位的变化速率远大于频率,在相位突变 后的暂态过程中,可认为频率不变,等到相位误差进 入稳态后,再将相位误差前馈,这既能够躲过暂态过 程对频率检测的影响,也消除了电压频率变化时造 成的稳态相位误差。提出的 MT1-PLL 正是基于此 思想,实现相位与频率检测的解耦。

实现 QT1-PLL 中的 MAF 时,需将当前的 $\phi(t) = \phi(t - T_{\omega})$ 进行相减,得到差值 $\Delta\delta$ 后进行积 分。若 T_{ω} 选取适当,可利用 $\Delta\delta$ 来判断相位误差是 否进入稳态,从而决定对同步相位和频率进行补偿, 具体实现如图 2 所示。

图 2 中, 对 $\Delta\delta$ 取绝对值后与整定值 $\Delta\delta_{set}$ 比较, 如果 $|\Delta\delta|$ 大于整定值, 说明此时相位误差正经 历暂态过程, 控制信号 C 输出"0", 前馈支路的相位 被置为零,锁相环工作在一阶系统模式,加快相位误 差的衰减,降低相位变化对频率检测的影响。如果 |Δδ|小于整定值,说明暂态过程已经结束,控制信 号 C 输出"1",前馈支路的相位为 MAF 后的真实 值,此时锁相环工作在准一阶系统模式。图中的 LPF 主要目的为避免锁相环模式切换对同步相位 与频率造成的突变。

2.2 锁相环稳定性分析

由于具有切换的动作,提出的 MT1-PLL 锁相 环有两种运行模式,因此对两种模式下的结构分别 建立小信号模型,分析稳定性。

当 $\Delta \delta > \Delta \delta_{set}$ 时,解耦模块输出的控制信号为 "0",前馈相位误差强制为 0,此时锁相环处在一阶 模式,小信号框图如附录 A 图 A1 所示,闭环传递函 数为式(5),因此只要 $k_p > 0$ 就能保证此种模式下的 稳定性。

△δ≪△δ_{set}时,解耦模块输出的控制信号为"1", 前馈经过 MAF 滤波后的相位误差,锁相环运行在 QT1-PLL 模式,小信号框图如附录 A 图 A2 所示。

根据附录 A 图 A2,锁相环的闭环传递函数可 表示为:

$$G_{cl,\hat{\theta}}(s) = \frac{\hat{\theta}(s)}{\theta(s)} = \frac{k_{p}\left(s + \frac{2}{T_{\omega}}\right)(s + \omega_{c}) + \frac{2\omega_{c}}{T_{\omega}}s}{(s + k_{p})\left(s + \frac{2}{T_{\omega}}\right)(s + \omega_{c})}$$
(12)

$$G_{cl,\omega}(s) = \frac{\omega(s)}{\theta(s)} = \frac{\frac{2k_{p}\omega_{c}}{T_{\omega}}s}{(s+k_{p})\left(s+\frac{2}{T_{\omega}}\right)(s+\omega_{c})}$$

(13)

从以上两闭环函数可知,当 k_p, T_ω,ω_c 均大于 零时,传递函数的极点将都在 s 平面的左半部分,因 此确保了锁相环的稳定性。

由上述分析可知, k_p , T_ω , ω_c 均大于零时,MT1-PLL 在一阶、准一阶两种模式下都能稳定运行。

2.3 锁相环参数选择

解耦单元降低了相位与频率检测的耦合,使得 频率和同步相位更加平稳。解耦模块的输出端 LPF的截止频率可取式(11)中的 10 倍,以降低对 响应速度的影响。与文献[24]一样选择 $T_{a} =$ 0.01 s,MAF 能够将相位误差中的偶数次谐波滤 除。而解耦单元的判断阈值 $\Delta \delta_{set}$ 不能够过大或过 小,过大则可能导致解耦模块的频繁切换;过小则可 能导致响应速度的下降;此处选择 $\Delta \delta_{set} = 1^{\circ}$ 。因 此,锁相环主要需要设计的参数为 k_{p} 。从图 2 可得:

$$\begin{cases} \phi(s) = \frac{s}{s+k_{p}} \Delta \theta(s) \\ \Delta \delta(s) = \phi(s)(1-e^{-sT_{w}}) \approx \frac{2s^{2}}{(s+k_{p})\left(s+\frac{2}{T_{w}}\right)} \Delta \theta(s) \end{cases}$$

$$(14)$$

式中: $\Delta\theta(s)$ 为真实相位变化: k_s 的取值关系到锁相 环的响应速度、谐波抑制等。动态响应要求 k。越大 越好,以便 $\phi(s)$ 和 $\Delta\delta(s)$ 快速进入稳态。但是 $k_{\rm p}$ 又受到 $T_a = 0.01$ s的制约,进入稳态的时间要大于 MAF 滤波窗口,即 k_n<400,否则会提前接通前馈 支路,导致频率超调量过大。因此 k。的取值需要综 合考虑,应使得 20 ms 左右 $\Delta\delta(s)$ 衰减到大约 5%, 此时接通补偿支路,则基本能够实现解耦。

2.4 不同结构的锁相环性能对比

通过对比 SRF-PLL, QT1-PLL 和 MT1-PLL, 可得三种不同结构锁相环的基本性能。按照相同截 止频率的标准设计锁相环的参数,SRF-PLL闭环传 递函数衰减系数取 ζ=0.707,得到参数如附录 A 表 A1 所示。基波正序电压幅值为 100 V,额定频 率 $f_0 = 50$ Hz,初相位 $\varphi_0 = 25^\circ$ 。在 t = 1.0 s 时相位 跳变到 $\varphi_0 = 55^\circ$,接着 t = 1.03 s 时额定频率跳变到 $f_0 = 53$ Hz,最后 t = 1.06 s 时频率跳变回到 50 Hz, 并且注入幅值为 30 V 的基波负序电压。

由附录 A 图 A3 可见,相位跳变时,SRF-PLL 和 QT1-PLL 的检测频率均出现暂态过程,输出值 与实际值不相符。MT1-PLL 的相位与频率解耦, 不受相位跳变的影响。从相位误差可知,MT1-PLL 工作在一阶锁相环模式,比 SRF-PLL 和 QT1-PLL 更快进入稳定,体现了解耦模块带来的快速性。

频率跳变时,SRF-PLL 和 QT1-PLL 的相位误 差基本一致,但 SRF-PLL 检测的频率波动最大,进 研制与开发・

入稳态的时间最长。MT1-PLL 的相位误差最大且 持续时间较长,这是因为频率跳变后的15 ms内, MT1-PLL 处于一阶锁相环状态,之后为 QT1-PLL 状态,相位误差前馈后,同步相位与频率都能准确检 测。三种锁相环进入稳态的时间基本一致,但是 MT1-PLL 由于具有解耦模块,检测的频率较为 平稳。

三相电压不对称时,三个锁相环的相位误差均 出现2倍频波动,因截止频率相同,它们的谐波抑制 能力相差无几。SRF-PLL 检测到的频率与相位误 差同时出现波动,而 MT1-PLL 和 QT1-PLL 检测的 频率无波动,原因为 MAF 将相位误差的谐波滤除 后才前馈。但 MT1-PLL 检测的频率更加稳定。

由附录A图A3及分析可知,MT1-PLL实现 了相位和频率的解耦,发生相位跳变时响应速度更 快,检测频率稳定。出现频率偏移时,虽然暂态过程 中相位误差较大,但频率稳定,且进入稳定的时间不 变。因此 MT1-PLL 适用于电压频率变化小、相位 变化频繁的大电网系统。但三相电压不平衡时, MT1-PLL 无法准确锁定相位,因此需滤除输入信 号中的谐波,提升 MT1-PLL 的抗干扰性能。

前置滤波环节提取基波正序电压 3

通过前面的分析可知,出现电压不平衡、谐波等 干扰时,SRF-PLL,QT1-PLL 和 MT1-PLL 三种锁 相环都无法获得良好的锁相性能。为提高锁相环的 抗干扰能力,常用前置滤波提取基波正序电压作为 锁相环的输入信号。

在各种提取基波正序电压的方法中,DSC 适用 于各种场景,具有快速滤波的特点,是一种较为常用 的方法[26]。

提取+1次电压时,选择延迟时间因子为 n=4,8,16,32 形成 CDSC,表示为^[18,20]:

$$G_{\text{CDSC}}^{+1}(s) = \frac{(1 + e^{j\frac{\pi}{2}}e^{-\frac{T_0}{4}s})(1 + e^{j\frac{\pi}{4}}e^{-\frac{T_0}{8}s})(1 + e^{j\frac{\pi}{8}}e^{-\frac{T_0}{16}s})(1 + e^{j\frac{\pi}{16}}e^{-\frac{T_0}{32}s})}{16}$$
(15)

式中:T。为基波电压周期。

 G_{CDSC}^{+1} (s)的幅频特性、相频特性如附 录 A 图 A4 所示。经过滤波后,电压信号中的大部 分谐波已被大幅度衰减。不考虑直流分量时,低次 谐波中仅±2次谐波的衰减较小,整个滤波过程耗 时 0.478 个基波周期。

3.1 数学运算消除 2 次谐波

一般交流系统中的2次谐波含量很少,许多锁 相环的改进方法中并未提及 2 次谐波的处理。然 而,一些情况下需考虑2次谐波的影响。例如,常规 高压直流输电逆变站发生换相失败时,在交流母线 上产生大量的2次谐波。

2次谐波靠近基波,难用常规的滤波方法将它 快速滤除。G⁺¹_{DSC(2)}能滤除偶数次谐波,但耗费半个 周期,影响滤波器的响应速度。但对电压信号进行 适当的延迟,采用数学运算可快速消除2次 谐波[27]。

假设经过前面的 $G_{CDSC}^{+1}(s)$ 滤波后,当前电压信 号中只含有+1次和±2次谐波。将 αβ 坐标系下的 电压分别延迟 $T_{d1}, T_{d2}(T_{d2}=2T_{d1}),$ 得到三个电压 复数,写成矩阵形式为:

$$\begin{bmatrix} \mathbf{V}_{a\beta}(t) \\ \mathbf{V}_{a\beta}(t-T_{d1}) \\ \mathbf{V}_{a\beta}(t-T_{d2}) \end{bmatrix} = \begin{bmatrix} 1 & 1 & 1 \\ e^{-j\theta_{d1}} & e^{-j2\theta_{d1}} & e^{j2\theta_{d1}} \\ e^{-j\theta_{d2}} & e^{-j2\theta_{d2}} & e^{j2\theta_{d2}} \end{bmatrix} \begin{bmatrix} \mathbf{V}_{a\beta}^{+1} \\ \mathbf{V}_{a\beta}^{+2} \\ \mathbf{V}_{a\beta}^{-2} \end{bmatrix} = \mathbf{D} \begin{bmatrix} \mathbf{V}_{a\beta}^{+1} & \mathbf{V}_{a\beta}^{+2} & \mathbf{V}_{a\beta}^{-2} \end{bmatrix}^{\mathrm{T}}$$
(16)

式中: $\theta_{d1} = \omega_0 T_{d1}$; $\theta_{d2} = \omega_0 T_{d2}$ 。

当 $\theta_{d1} \neq \theta_{d2}$,矩阵**D**可逆。延迟的角度不能太 小,否则恶化滤波效果^[28]。这里选择的延迟角度为 $\theta_{d1} = 30^{\circ}, \theta_{d2} = 60^{\circ}, 此时数学运算滤除 2 次谐波的传$ 递函数为:

$$M(s) = \frac{1}{\sqrt{3} - 1} e^{j\frac{\pi}{6}} (1 - e^{-\frac{T_0}{12}s} + e^{-\frac{T_0}{6}s}) \quad (17)$$

式中:滤波过程耗时 0.167 个周期,幅频特性、相频 特性如附录 A 图 A5 所示。

由附录 A 图 A5 可知,经式(17)滤波后±2次 谐波被衰减-54 dB 以上,但部分谐波的幅值增益 达到 12 dB。

3.2 CDSC 与数学运算滤波构成前置滤波环节

将数学运算滤波器与 G_{CDSC}^{+1} 相结合后构成前置 滤波环节,如附录 A 图 A6 所示,此时前置滤波模块 的传递函数为:

 $M(s)G_{\rm CDSC}^{+1}(s) =$

$$\frac{e^{j\frac{\pi}{6}}}{16(\sqrt{3}-1)} \left[(1-e^{-\frac{T_0}{12}s}+e^{-\frac{T_0}{6}s})(1+e^{j\frac{\pi}{2}}e^{-\frac{T_0}{4}s}) \cdot (1+e^{j\frac{\pi}{4}}e^{-\frac{T_0}{8}s})(1+e^{j\frac{\pi}{8}}e^{-\frac{T_0}{16}s})(1+e^{j\frac{\pi}{16}}e^{-\frac{T_0}{32}s}) \right] (18)$$

式(18)的幅频特性、相频特性如附录 A 图 A7 所示。由图 A7 可知,前置滤波环节能够提取出较 为纯净的+1次电压,耗时为 0.635 个周期。不过 此种滤波方法对 4次、6次和 8次谐波的衰减效果 较差。

3.3 电网频率对滤波的影响

正常情况下,标准要求频率波动范围(50±0.2)Hz,容量较小的系统为(50±0.5)Hz^[29]。当电压频率发生偏移时,前置滤波提取出的+1次电压将出现较大的相位偏差^[30]。

鉴于电网频率偏移范围小,采用文献[30]提出 的前馈补偿法来实现滤波模块的频率自适应。频率 偏移导致 $G^{+1}_{cosc}(s)$ 的相位偏差为^[30]:

$$\Delta e_{\rm CDSC}^{+1} = \sum_{n=4.8.16.32} -\frac{\Delta \omega T_0}{2n}$$
(19)

式中:Δω 为角频率偏移量。

而数学运算滤波造成的相位误差为:

$$\Delta e_{\rm M}^{+1} = -\frac{\Delta \omega T_{\rm o}}{12} \tag{20}$$

因此,频率偏移造成滤波环节提取+1次电压 时产生的相位误差为:

$$\Delta e^{+1} = \Delta e^{+1}_{\rm CDSC} + \Delta e^{+1}_{\rm M} = -\frac{61}{192} \Delta \omega T_{0} \qquad (21)$$

3.4 采样频率对滤波的影响

实际中处理的常常是离散信号。如果滤波模块的延迟时间不是整数倍的采样周期,提取出来的 +1次电压相位将会出现偏差。

假设采样周期与基波周期的关系为 $T_0 = NT_s$, N为一个电网周期的采样个数。延迟时间离散化后,式(18)可表示为: $M(s)G_{cpsc}^{+1}(s) =$

$$\frac{\mathrm{e}^{\mathrm{j}\frac{\pi}{6}}}{16(\sqrt{3}-1)} \left[(1-\mathrm{e}^{-\frac{NT_{s}}{12}s} + \mathrm{e}^{-\frac{NT_{s}}{6}s}) (1+\mathrm{e}^{\mathrm{j}\frac{\pi}{2}}\mathrm{e}^{-\frac{NT_{s}}{4}s}) \cdot (1+\mathrm{e}^{\mathrm{j}\frac{\pi}{4}}\mathrm{e}^{-\frac{NT_{s}}{8}s}) (1+\mathrm{e}^{\mathrm{j}\frac{\pi}{6}}\mathrm{e}^{-\frac{NT_{s}}{16}s}) (1+\mathrm{e}^{\mathrm{j}\frac{\pi}{16}}\mathrm{e}^{-\frac{NT_{s}}{32}s}) \right]$$

令 $[N/n]_{f}$ 表示 N/n 向下取整的整数,(N/n) 表示小数部分。经滤波后,+1 次电压出现的相位 误差为:

$$e_{\rm f}^{+1} = -\sum_{n=4,6,8,16,32} \frac{1}{2} \left(\frac{N}{n}\right) \omega_{\rm o} T_{\rm s} \qquad (23)$$

4 具有前置滤波的 MT1-PLL

图 3 为提出的具有谐波抑制能力、频率适应性的 MT1-PLL。前置滤波模块原理如式(22)所示, 经前面滤波模块的分析,该模块能够滤除-1次、 ±2次、±3次以及其他奇数次谐波的干扰。这是在 其他锁相环文献中较少涉及的。



图 3 具有前置滤波和频率适应性的 MT1-PLL 结构图 Fig. 3 Structure diagram of MT1-PLL with pre-filtering and frequency adaptation

如图 3 所示,当电网频率偏移时,为保证锁相环 能够准确锁定相位,这里采用文献[30]提出的前馈 方法。通过检测频率的偏移量,按式(21)计算补偿 值,馈入同步相位中,实现了前置滤波的频率自适应 性。而采样频率造成的相位误差,本质上与电网频 率偏移导致的误差一致,因此同样采取前馈误差值 补偿的方法。这部分误差在采样频率确定后即可按 式(23)计算得知。

5 仿真验证与分析

本文采用谐波注入法在 PSCAD/EMTDC 中验 证提出的锁相环及滤波方法,仿真步长为 10 μ s。采 样频率为 $f_s = 10$ kHz,额定频率为 $f_0 = 50$ Hz,



N=200。滤波模块中延迟的采样周期数以及取整 后的小数部分如附录 A 表 A2 所示。将附录 A 表 A1 中的三个锁相环加上前置滤波环节后与 DSOGI-PLL 对比。引入 DSOGI-PLL 的目的在于 突出本文的前置滤波性能。

设置四种工况进行验证,如图 4 所示第一种工 况设置+1 次电压相位发生 30°跳变,且电压不平衡 及整数次谐波。第二种工况为频率由 50 Hz 偏移到 52 Hz,及电压不平衡和整数次谐波。第三种工况 为同时施加第一、第二种工况。第四种工况为电压 不平衡、直流分量与次谐波。施加的不平衡、谐波干 扰参数如附录 A 表 A3 所示。用 MC 表示附录 A 图 A6 中的前置滤波器。



图 4 各种设计工况下的三相电压、相位误差和频率的仿真波形 Fig. 4 Simulation waveforms of three-phase voltage, phase errors and frequency under various designed operation conditions

第一种工况下,相位误差和频率如图 4(a)所示。其中 SRF-PLL 的相位误差波动最大,约 20 ms 后相位误差稳定;QT1-PLL 则需约 30 ms;而 MT1-PLL 按一阶系统衰减,波动小,更快进入稳定,说明 解耦模块有助于锁相环快速锁定相位。在检测的频 率波形上,SRF-PLL 的频率最大为 65 Hz,约 30 ms 进入稳态;QT1-PLL 的频率性能稍好,而 MT1-PLL 超调量最小且持续时间短,体现了解耦模块有 助于提高频率检测的准确性。而 DSOGI-PLL 的相 位误差与频率进入稳定的时间最长,且稳定时出现 波动,说明 DSOGI 滤波慢且对低次谐波抑制效果 较差,间接体现了本文提出的前置滤波的优良性能。

第二种工况下,如图 4(b)所示,相比第一种工况,相位误差中出现更大的稳态波动,说明额定频率 偏移后,前置滤波的性能下降了。MT1-PLL 与 QT1-PLL 的相位误差稳态波动远小于 SRF-PLL 和 DSOGI-PLL 的,显示了 QT1-PLL 的优势。而 MT1-PLL 的频率在暂态过程中波动比 QT1-PLL 小,持续时间短,暂态结束后,两者均能准确检测频 率,体现了解耦有利于频率检测。虽然 SRF-PLL 与 DSOGI-PLL 的相位稳态波动基本一致,但是 SRF-PLL 检测到的频率波动更小,显示出附录 A 图 A6 前置滤波的优势,同样说明了 DSOGI 对频率偏移 很敏感。

第三种工况模拟综合运行工况,运行条件更加 苛刻,效果如图 4(c)所示。虽然 SRF-PLL 能很快 进入稳定,但相位误差和频率都存在稳态波动,且暂 态过程的超调量较大。MT1-PLL 和 QT1-PLL 进 入稳定后,相位和频率没有波动,但是在暂态过程中 MT1-PLL 的频率更加平稳,实现暂态过程中相位 与频率的解耦。DSOGI-PLL 的相位误差和频率均 有较大的波动,与第二种工况类似。

第四种工况考虑了不平衡、直流分量和次谐波 的影响,如图 4(d)所示。由相位误差和频率波形可 知,本文提出的前置滤波和 DSOGI 对直流分量、次 谐波的效果较差,其中直流分量靠近基波,影响最 大。从 MT1-PLL 与 QT1-PLL 的频率波形看出, MT1-PLL 的频率波动持续时间更短,波动的原因 在于解耦模块的模式切换。而 DSOGI-PLL 的相位 误差波形显示,它的稳态波动最小,说明 DSOGI 对 于直流分量、次谐波的抑制更强些。

为了更清晰地体现锁相环在各种工况下的性能,根据仿真结果进行了量化统计,如表1所示。由 仿真波形及表1可以看出,本文所提的MT1-PLL 能基本实现相位与频率的解耦,加快锁相环的动态 性能,减少频率的波动。文中采用的前置滤波可将 低次谐波滤除,但电网频率偏移、存在直流分量时, 滤波效果变差,这是由延迟信号消除法本身特点所 决定的。因此,文中前置滤波与MT1-PLL结合后, 比较适用于频率偏移小、直流分量少,而相位变化频 繁、含有低次谐波的系统。

Table 1 Simulation results of FLLs										
	工况一			工况二			工况三		工况四	
锁相环	5%稳态	最大相位	最大频	5%稳态	最大相位	最大频	稳态相位误差	稳态频率	稳态相位误差	稳态频率
	时间/ms	误差/(°)	率/Hz	时间/ms	误差/(°)	率/Hz	峰峰值/(°)	峰峰值/Hz	峰峰值/(°)	峰峰值/Hz
MT1-PLL	21	30	55.6	30	7.2	52.0	1.4	0.15	16.0	2.9
SRF-PLL	21	28	65.0	波动	-10.0	55.4	6.3	2.63	24.8	9.9
QT1-PLL	27	30	56.5	29	3.2	52.0	1.3	0.15	20.4	4.1
DSOGI-PLL	35	30	65.0	波动	3.5	54.8	4.6	6.65	8.5	7.8

表 1 锁相环仿真结果 Table 1 Simulation results of PLLs

6 结语

本文详细分析 QT1-PLL 后指出了相位与频率 检测的耦合,在此基础上提出了 MT1-PLL,它能通 过判断相位误差来实现暂态过程中相位与频率的解 耦,提高频率检测的准确性。

电压不对称、畸变时,采用 CDSC 与数学运算滤 波构成前置滤波模块。该模块能够滤除±2 次谐 波,且提取基波正序电压仅需 12.5 ms。电网频率 偏移以及采样频率对滤波模块造成的相位误差被前 馈到同步相位中,实现简单。 最后,在 PSCAD/EMTDC 中设置四种工况,仿 真验证了提出的 MT1-PLL 能够实现相位与频率检 测的基本解耦。与 DSOGI 滤波相比,本文提出的 前置滤波方法能更快速、准确地提取基波正序电压。 但前置滤波模块对频率偏移敏感,因此较适用于频 率变动小的电力系统中。下一步将研究把 MT1-PLL 应用到高压直流输电模型中。

附录见本刊网络版(http://www.aeps-info. com/aeps/ch/index.aspx)。

参考文献

- [1] FREIJEDO F D, DOVAL-GANDOY J, LOPEZ O, et al. Tuning of phase-locked loops for power converters under distorted utility conditions[J]. IEEE Transactions on Industry Applications, 2009, 45(6): 2039-2047.
- [2] GOLESTAN S, GUERRERO J M, VASQUEZ J C. Threephase PLLs: a review of recent advances[J]. IEEE Transactions on Power Electronics, 2017, 32(3): 1894-1907.
- [3] KANJIYA P, KHADKIKAR V, EL MOURSI M S. A novel type-1 frequency-locked loop for fast detection of frequency and phase with improved stability margins[J]. IEEE Transactions on Power Electronics, 2016, 31(3): 2550-2561.
- [4] BATISTA Y N, SOUZA H E P D, NEVES F A S, et al. Variable-structure generalized delayed signal cancellation PLL to improve convergence time[J]. IEEE Transactions on Industrial Electronics, 2015, 62(11): 7146-7150.
- [5] 姜齐荣,王亮,张春朋,等. 基于频率和初相角解耦检测的新型锁 相环[J]. 电力系统自动化,2013,37(18):113-119.
 JIANG Qirong, WANG Liang, ZHANG Chunpeng, et al. A new phase-locked loop based on decoupled detection of frequency and initial phase angle [J]. Automation of Electric Power Systems, 2013, 37(18): 113-119.
- [6] SE-KYO C. A phase tracking system for three phase utility interface inverters [J]. IEEE Transactions on Power Electronics, 2000, 15(3): 431-438.
- [7] GARDNER F M. Phaselock techniques[M]. USA: John Wiley & Sons, 2005.
- [8] RODRÍGUEZ P, POU J, BERGAS J, et al. Decoupled double synchronous reference frame PLL for power ponverters control
 [J]. IEEE Transactions on Power Electronics, 2007, 22(2): 9.
- [9] 李珊瑚,杜雄,王莉萍,等. 解耦多同步参考坐标系电网电压同步 信号检测方法[J]. 电工技术学报,2011,26(12):183-189.
 LI Shanhu, DU Xiong, WANG Liping, et al. A grid voltage synchronization method based on decoupled multiple synchronous reference frame [J]. Transactions of China Electrotechnical Society, 2011, 26(12): 183-189.
- [10] RODRÍGUEZ P, TEODORESCU R, CANDELA I, et al. New positive-sequence voltage detector for grid synchronization of power converters under faulty grid conditions [C]// 2006 37th IEEE Power Electronics Specialists Conference, June 18-22, 2006, Jeju, South Korea: 1-7.
- [11] 胡应占,郭素娜.适用于电网不平衡时的广义积分器锁相环设计[J].电力系统保护与控制,2014,42(11):148-154.
 HU Yingzhan, GUO Suna. Design of generalized integrator phase locked loop for unbalanced grid [J]. Power System Protection and Control, 2014, 42(11): 148-154.
- [12] RODRIGUEZ P, LUNA A, ETXEBERRÍA I, et al. Multiple second order generalized integrators for harmonic synchronization of power converters[C]// Energy Conversion Congress and Exposition, 2009, San Jose, USA: 2239-2246.

- [13] GUO X, WU W, CHEN Z. Multiple-complex coefficientfilter-based phase-locked loop and synchronization technique for three-phase grid-interfaced converters in distributed utility networks[J]. IEEE Transactions on Industrial Electronics, 2011, 58(4); 1194-1204.
- [14] 涂娟,汤宁平. 基于改进型 DSOGI-PLL 的电网电压同步信号 检测[J].中国电机工程学报,2016,36(9):2350-2356.
 TU Juan, TANG Ningping. Synchronization signal detection for grid voltage based on modified DSOGI-PLL [J].
 Proceedings of the CSEE, 2016, 36(9): 2350-2356.
- [15] 李林,郭源博,张晓华.复杂电网工况下基于 CDSOGI-SPLL 的 电网电压同步方法 [J]. 电力系统自动化,2017,41(16): 151-157.DOI: 10.7500/AEPS20161130016.

LI Lin, GUO Yuanbo, ZHANG Xiaohua. Grid voltage synchronization method based on CDSOGI-SPLL under complex power grid conditions [J]. Automation of Electric Power Systems, 2017, 41(16): 151-157. DOI: 10.7500/ AEPS20161130016.

- [16] 杜雄,郭宏达,孙鹏菊,等. 基于 ANF-PLL 的电网电压基波正 负序分离方法[J]. 中国电机工程学报,2013,33(27):28-35.
 DU Xiong, GUO Hongda, SUN Pengju, et al. A positive and negative sequence component separation method for grid voltage based on phase locked loop with an adaptive notch filter [J]. Proceedings of the CSEE, 2013, 33(27): 28-35.
- [17] SVENSSON J, BONGIORNO M, SANNINO A. Practical implementation of delayed signal cancellation method for phasesequence separation [J]. IEEE Transactions on Power Delivery, 2007, 22(1): 18-26.
- [18] WANG Y F, LI Y W. Grid synchronization PLL based on cascaded delayed signal cancellation[J]. IEEE Transactions on Power Electronics, 2011, 26(7): 1987-1997.
- [19] WANG Y F, LI Y W. Analysis and digital implementation of cascaded delayed signal cancellation PLL [J]. IEEE Transactions on Power Electronics, 2011, 26(4): 1067-1080.
- [20] WANG Y F, LI Y W. Three-phase cascaded delayed signal cancellation PLL for fast selective harmonic detection [J]. IEEE Transactions on Industrial Electronics, 2013, 60(4): 1452-1463.
- [21] GOLESTAN S, RAMEZANI M, GUERRERO J M, et al. DQ-frame cascaded delayed signal cancellation-based PLL: analysis, design, and comparison with moving average filterbased PLL [J]. IEEE Transactions on Power Electronics, 2015, 30(3): 1618-1632.
- [22] HAMED H A, ABDOU A F, BAYOUMI E H E, et al. Frequency adaptive CDSC-PLL using axis drift control under adverse grid condition [J]. IEEE Transactions on Industrial Electronics, 2017, 64(4): 2671-2682.
- [23] GOLESTAN S, GUERRERO J M, ABUSORRAH A M, et al. Hybrid synchronous/stationary reference-frame-filteringbased PLL[J]. IEEE Transactions on Industrial Electronics, 2015, 62(8): 5018-5022.

- [24] SUBRAMANIAN C, KANAGARAJ R. Rapid tracking of grid variables using prefiltered synchronous reference frame PLL
 [J]. IEEE Transactions on Instrumentation and Measurement, 2015, 64(7): 1826-1836.
- [25] GOLESTAN S, FREIJEDO F D, VIDAL A, et al. A quasitype-1 phase-locked loop structure[J]. IEEE Transactions on Power Electronics, 2014, 29(12): 6264-6270.
- [26] GOLESTAN S, GUERRERO J M, VASQUEZ J C. Hybrid adaptive/nonadaptive delayed signal cancellation-based phaselocked loop[J]. IEEE Transactions on Industrial Electronics, 2017, 64(1): 470-479.
- [27] 孙绍华.不平衡电网条件下并网逆变关键技术研究[D]. 哈尔滨:哈尔滨工业大学,2015.

SUN Shaohua. Key techniques of grid-connected inversion under unbalanced grid conditions [D]. Harbin: Harbin Institute of Technology, 2015.

[28] GOLESTAN S, EBRAHIMZADEH E, GUERRERO J M, et al. An adaptive least-error squares filter-based phase-locked loop for synchronization and signal decomposition purposes[J]. IEEE Transactions on Industrial Electronics, 2017, 64(1): 336-346.

[29] 电力科学研究院,机械标准化研究所,国家电力调度中心,等.

电能质量 电力系统频率允许偏差:GB/T 15945—1995[S]. 北京:中国标准出版社,1995.

China Electric Power Research Institute, Machinery Standard Research Institute, Control Center of State Grid, et al. Power quality: permissible deviation of frequency for power system: GB/T 15945—1995[S]. Beijing: Standards Press of China, 1995.

[30] GOLESTAN S, FREIJEDO F D, VIDAL A, et al. An efficient implementation of generalized delayed signal cancellation PLL [J]. IEEE Transactions on Power Electronics, 2016, 31(2): 1085-1094.

李子林(1988—),男,博士研究生,主要研究方向:高压 直流输电、微电网控制。E-mail: lizilin20071229@126.com

傳 闯(1973—),男,博士,教授级高工,主要研究方向: 高压直流输电、电力系统稳定与控制。E-mail: fuchuang@ csg. cn

汪娟娟(1974—),女,通信作者,博士,教授,主要研究方向:高压直流输电、电力系统稳定与控制。E-mail: epjjwang @scut.edu.cn

(编辑 孔丽蓓)

Fast Phase-locked Loop to Realize Decoupled Detection of Phase and Frequency

LI Zilin¹, FU Chuang², WANG Juanjuan¹, GONG Yingming¹, LI Yaojia³

(1. School of Electric, South China University of Technology, Guangzhou 510641, China;

2. Electric Power Research Institute of China Southern Power Grid Company Limited, Guangzhou 510663, China;

3. Guangzhou Power Supply Bureau Co. Ltd., Guangzhou 510410, China)

Abstract: Detection of phase and frequency by synchronous reference frame phase-locked loop (SRF-PLL) and its improved versions are closely coupled. If the voltage with an unvaried frequency has a step change in phase angle, the detected frequency will suffer a transient process, causing errors to the detection of frequency. Thus, based on the structure of quasi-type-1 phase-locked loop (QT1-PLL), a modified quasi-type-1 phase-locked loop (MT1-PLL) is proposed with a decoupled unit, which is able to achieve decoupled detection of phase and frequency. In order to improve the ability of MT1-PLL to reject unbalance, harmonics, etc., cascaded delayed signal cancellation (CDSC) is combined with a proposed mathematical filter, forming a pre-loop filtering module to extract fundamental positive sequence voltage. The module features the elimination of 2nd harmonics, and a fast filter process takes only 0.635 cycles. Meanwhile, the phase errors in the module caused by deviations of grid frequency, and sampling frequency are also considered, which are compensated by an error feedforward method. Finally, simulations are conducted in PSCAD/EMTDC under various operation conditions to verify the effectiveness of MT1-PLL, filtering module and cancellation method of phase error.

This work is supported by National Natural Science Foundation of China (No. 51777079), National Natural Science Foundation of China-State Grid Joint Fund for Smart Grid (No. U1766213) and China Southern Power Grid Company Limited (No. ZBKJXM20180104).

Key words: synchronous reference frame phase-locked loop (SRF-PLL); modified quasi-type-1 phase-locked loop (MT1-PLL); cascaded delayed signal cancellation (CDSC); 2nd harmonics; decoupled phase and frequency detection; frequency deviation