

D 类功放中数字调制器的研究与实现

王鑫淦, 杜选民, 文明, 蒋奇君

(上海船舶电子设备研究所, 上海 201108)

摘要: 数字脉冲宽度调制(Digital Pulse Width Modulation, DPWM)结构简单、稳定性好, 是主动声呐 D 类功放中常用的调制技术, 但是它会产生信号失真和电磁干扰问题。针对主动声呐中 D 类功放的要求, 设计了一种新的 1.5bit Σ - Δ 调制器。该调制器不仅能够改善 DPWM 存在的信号失真和电磁干扰问题, 而且能够解决常规 Σ - Δ 调制器存在的高开关频率导致的高开关损耗问题。采用现场可编程逻辑门阵列(FPGA)对该调制器进行实现, 在全桥 D 类功放上进行了实验验证。通过 1.5bit Σ - Δ 调制器和 DPWM 性能对比, 表明该 1.5bit Σ - Δ 调制器适合主动声呐 D 类功放的应用。

关键词: 主动声呐 D 类功放; 数字脉冲宽度调制(DPWM); 1.5bit Σ - Δ 调制器; 电磁干扰(EMI); 开关损耗

中图分类号: TN911.7

文献标识码: A

文章编号: 1000-3630(2014)-01-0030-05

DOI 编码: 10.3969/j.issn1000-3630.2014.01.007

Research and implementation of digital modulator in underwater acoustic power amplifier

WANG Xin-gan, DU Xuan-min, WEN Ming, JIANG Qi-jun

(Shanghai Marine Electronic Equipment Research Institute, Shanghai 201108, China)

Abstract: Digital pulse width modulation with simple structure and excellent stability is commonly used in active sonar class D power amplifier. However there exist problems about distortion and electromagnetic interference (EMI). Counting for the need of active sonar class D power amplifier, a new 1.5 bit Σ - Δ modulator is proposed. This modulator is not only capable of improving distortion and EMI existing in DPWM, but also can solve the problem of high switch losses caused by high switch frequency of conventional Σ - Δ modulation. The modulator is successfully implemented in FPGA and has been tested and verified on the platform of full bridge class D power amplifier. Through the comparative analysis between 1.5 bit Σ - Δ modulation and DPWM, it is concluded that the proposed modulator is suitable for active sonar class D power amplifier.

Key words: active sonar class D power amplifier; Digital Pulse Width Modulation (DPWM); 1.5bit Σ - Δ modulation; electromagnetic interference(EMI); switch losses

0 引言

功率放大器是主动声呐不可或缺的重要组成部分, D 类功放由于高效率、小体积、低损耗等优点, 在主动声呐中得到广泛应用^[1]。脉冲宽度调制(Pulse Width Modulation, PWM)是 D 类功放中最常用的调制技术, 但是 PWM 是一个非线性系统, 其输出脉冲序列的频谱在脉冲重复频率、开关频率及其谐波分量处有很强的能量尖峰。数字脉冲宽度调制(Digital Pulse Width Modulation, DPWM)是对 PWM 的数字化, 其输出的脉冲序列并不代表输入模拟信号的平均值, 而是采样值, 这将引起较大的

谐波失真。因此 DPWM 工作模式下的 D 类功放, 将产生比其他功率放大器更严重的电磁干扰(Electromagnetic Interference, EMI)和信号失真^[2]。随着主动声呐复杂程度的增加, 电子单元越来越多, 对电磁兼容提出了更高的要求, 因此必须尽可能减小 D 类功放中的 EMI 问题。

为了改善 DPWM 引起的 EMI 问题, 人们提出了频谱展宽技术, 其核心思想是通过改变采样信号的频谱分布以达到削减电磁噪声的目的^[3]。Josep Balcells 等人比较了不同周期调制波形对于扩频效果的影响, 并且给出了各个参数的相应限制条件; Jean-Charles Le Bunetel 等人也做了类似的研究, 并且对比了扩频对于谐波失真的影响^[4]; Hiroshi Sadamura 等人提出了一种伪随机产生电路, 以达到更好的扩频效果^[5]。

Σ - Δ 调制(Sigma-Delta Modulation, SDM)凭借其专门的过采样噪声整形技术, 使得输出信号比

收稿日期: 2012-12-13; 修回日期: 2013-02-26

作者简介: 王鑫淦(1987-), 男, 江苏人, 硕士研究生, 研究方向为水声信号处理。

通讯作者: 王鑫淦, E-mail: jerry871217@163.com

DPWM 具有更小的失真,同时没有谐波困扰,具有良好的电磁兼容性,在 ADC 和 DAC 领域得到广泛的应用^[6]。但是 SDM 的过采样技术将引起较高的开关频率,使 D 类功放产生较高的开关损耗,因此限制了 SDM 技术在大功率 D 类功放中的应用。本文针对主动声呐功率放大器的要求,设计了一种新的 1.5 bit SDM 调制器,对比分析了 1.5 bit SDM 和 DPWM 两种调制器的性能,并将 1.5 bit SDM 调制器应用于某型主动声呐的 D 类功放中。

1 数字调制器原理

1.1 数字 SDM 原理^[7]

数字 SDM 的原理框图如图 1 所示,首先对 n -bit 输入信号进行过采样滤波处理,使采样率从 F_s 提高到 $N \cdot F_s$ 。将过采样滤波后的信号送入环路滤波器模块,量化器模块接收环路滤波器的输出信号,然后产生低比特的数字信号。由于每个模块都工作在数字域,所以量化器输出的 m -bit 数据可以直接作为反馈输入。 m -bit 数据就是经噪声整形后 SDM 的输出信号。

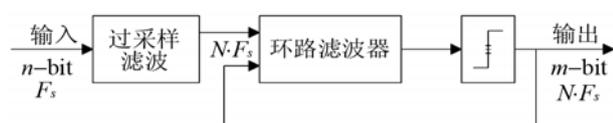


图 1 数字 SDM 原理框图

Fig.1 Principle diagram of digital SDM

L 阶 SDM 调制器在 z 域的传递函数为

$$Y(z) = z^{-1}X(z) + (1 - z^{-1})^L Q(z) \quad (1)$$

其中: $X(z)$ 表示输入信号; $Q(z)$ 表示量化噪声; $Y(z)$ 表示调制器输出信号。

将传递函数写成如下形式:

$$Y(z) = H_x(z)X(z) + H_e(z)Q(z) \quad (2)$$

其中: $H_x(z)$ 表示调制器对输入信号的传输函数;

$H_e(z)$ 表示调制器对量化噪声的传输函数。

对于 L 阶调制器,有:

$$H_x(z) = z^{-1} \quad (3)$$

$$H_e(z) = (1 - z^{-1})^L \quad (4)$$

公式(3)、(4)表明 L 阶调制器对信号产生一个采样周期的延迟,而对量化噪声产生 L 阶整形。其中噪声传递函数相当于一个高通滤波器,将噪声能量从低频段推到高频段,而不会对信号起整形作用,噪声整形的效果如图 2 所示,图中 PSD 表示能量谱。调制后的信号经过低通滤波器,就可以有效滤除信号频带外的量化噪声,还原有用信号。

L 阶 SDM 系统的带内噪声功率为

$$N'_q \approx \frac{\Delta^2}{12} \frac{\pi^{2L}}{2L+1} \left(\frac{1}{OSR}\right)^{2L+1} \quad (5)$$

式(5)中 OSR 为过采样率。

噪声整形后输出信号在频带内的信噪比为^[8]

$$SNR_{dB} = 1.76 + 6.02n - 20 \lg\left(\frac{\pi^L}{\sqrt{2L+1}}\right) + \lg(OSR)^{10(2L+1)} \quad (6)$$

由式(6)可以得出,提高带内信噪比可以通过三个途径:增加量化位数 n ,提高噪声传递函数 $NTF(z)$ 的阶数 L 以及提高过采样率 OSR 。

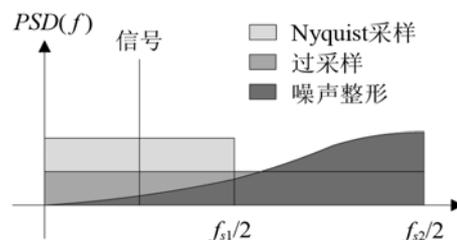


图 2 噪声整形后信号的量化噪声分布图

Fig.2 Quantization noise diagram of signal after noise shaping

1.2 DPWM 原理^[9]

DPWM 是将待调制信号与一定频率的载波(锯齿波或三角波)进行比较,当信号幅度大于载波幅度时输出高电平,否则输出低电平,从而在载波频率处产生一连串数字脉冲。为了保证调制器的线性度,载波频率必须远大于信号频率,一般取信号频率的 10 倍以上。在每一个载波周期内,DPWM 脉冲的占空比正比于待调制信号的幅度。DPWM 调制器的原理框图如图 3 所示,其中待调制信号为模拟信号的采样值或是数字信号发生器的输出值,而载波(锯齿波或三角波)由计数器实现,当计数器计数到一定值时归零,然后重新计数。

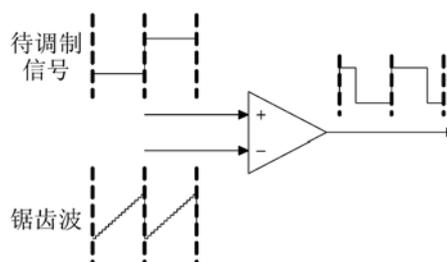


图 3 DPWM 原理框图

Fig.3 Principle diagram of DPWM

DPWM 调制器实现时需要对计数器的计数时钟和计数范围进行考虑。假设以 40 kHz Nyquist 采样率对模拟信号进行 16 bit 量化采样,要保证 DPWM 信号的精度,计数器的计数时钟必须为 $40 \text{ kHz} \cdot 2^{16} \approx 2.6 \text{ GHz}$,该时钟频率难以在工程上实现。如果采用直接截短的方法来降低计数时钟,理论上每截短 1 bit 就会降低 6 dB 信噪比。为了解决上述问题,可以采用 2.1 节所提到的 SDM 技术,该

技术能在不降低信号带内信噪比的情况下，减少数字信号的位数，从而降低计数时钟。其次考虑的是计数器的计数范围，它由待调制数字信号的位数决定，假设待调制信号为 N bit 数字信号，则计数器的计数峰值为 $2^N - 1$ 。

2 设计与实现

为了比较 1.5 bit SDM 与 DPWM 两种调制器的性能，本文分别对这两种调制器进行了设计。

2.1 SDM 调制器设计

本文设计了 5 阶单环路 SDM 调制器结构，过采样率为 32，系统工作时钟为 1.5 MHz，具体实现的框图如图 4 所示，其中 $Q(\cdot)$ 为 1.5 bit 量化器，其输出为含有零电平三态数字信号。当量化器输出为零状态时，负载两端电位为零，此时功放输出级的输出电流接近为零，功率 MOS 管的切换速率得到降低。因此 1.5 bit SDM 调制器能显著降低开关损失，有效抑制 EMI，延长元件使用寿命。

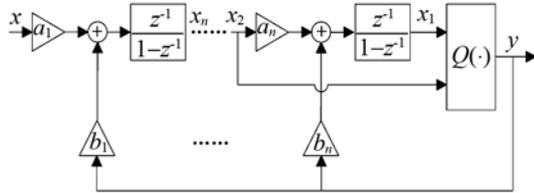


图 4 1.5 bit SDM 调制器实现框图
Fig.4 Implementation diagram of 1.5 bit SDM modulator

下面给出 SDM 调制器的设计流程：

(1) 根据截止频率设计环路滤波器的传递函数：

$$W(z) = \frac{N_n(z)}{D_n(z)} = \frac{b_1(z-1)^{n-1} + b_2 a_1 (z-1)^{n-2} + \dots + (b_n a_{n-1} \dots a_1)}{(z-1)^n} \quad (7)$$

由此得到传递函数的系数 $b_1, b_2 a_1, \dots, b_n a_{n-1}, \dots, a_1$ 以及 $c_1, c_2 a_1, \dots, c_n a_{n-1}, \dots, a_1$ 。

(2) 计算边界条件 $|x_1(k)| < 2b_1$ 与环路存在条件 $|x_2(k)| < b_1/a_1$ ，得到 a_1 。其中 $x_i(k)$ 为积分器的输出。

(3) 利用状态变量限制方程

$$\|x_m\|_{\infty} \approx \frac{a_1 a_2 \dots a_n \|A_m\|_{\infty}}{a_1 a_2 \dots a_{m-1}} \|r\|_{\infty} + \frac{\|B_m\|_{\infty} \|x_1\|_{\infty}}{a_1 a_2 \dots a_{m-1}} \leq 1 \quad (8)$$

计算得到 $a_2 \sim a_n$ 。其中

$$\begin{cases} A_m(z) = N_{m-1}(z)/N_n(z) \\ B_m(z) = D_{m-1}(z) - N_{m-1}(z)W(z)^{-1} \\ W(z) = N_n(z)/D_n(z) \\ D_k(z) = (z-1)^k \\ N_k(z) = b_1(z-1)^{k-1} + b_2 a_1 (z-1)^{k-2} + \dots + (b_k a_{k-1} \dots a_1) \end{cases} \quad (9)$$

$\|A\|_{\infty} = \sup_{|z|=1} |A(z)|$ ， $\sup(S)$ 表示实数集合 S 的上确界， $\|x\|_{\infty}$ 表示调制器稳态时 x 的最大振幅。

(4) 将系数 $a_2 \sim a_n$ 代回式(7)，计算得到 $b_2 \sim b_n, c_2 \sim c_n$ 。

(5) 根据调制器要求对量化器进行设计，本文设计的三电平量化器输出值由变量 x_1 和 x_2 决定：

$$y = \begin{cases} 1, & \text{sign}(x_1)=1 \text{ 且 } \text{sign}(x_2)=1 \\ 0, & \text{sign}(x_1)=-1 \text{ 且 } \text{sign}(x_2)=1 \\ 0, & \text{sign}(x_1)=1 \text{ 且 } \text{sign}(x_2)=-1 \\ -1, & \text{sign}(x_1)=-1 \text{ 且 } \text{sign}(x_2)=-1 \end{cases} \quad (10)$$

按上述步骤设计的 1.5 bit SDM 调制器最终在 FPGA 上进行实现。

2.2 DPWM 调制器设计

DPWM 调制器的实现框图如图 5 所示，该调制器由噪声整形模块和 DPWM 模块组成，其中噪声整形模块的作用是：在保证信号带内信噪比的条件下减少输入数字信号的位数，从而降低 DPWM 模块对系统时钟的要求，易于在工程上实现。噪声整形模块的设计步骤与 3.1 节中 SDM 调制器的设计流程一致，这里采用了 2-2 级联的 4 阶 8 bit SDM 调制器结构，过采样率为 8。

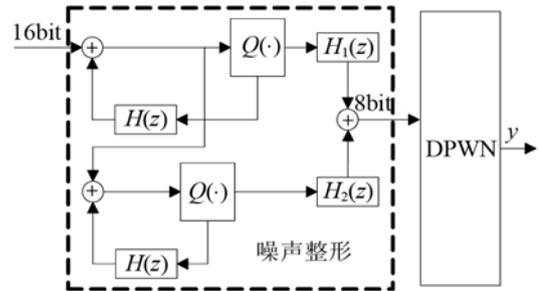


图 5 DPWM 调制器实现框图
Fig.5 Implementation diagram of DPWM modulator

DPWM 模块的实现相对简单，只需按照 2.2 节 DPWM 原理就可设计出相应的 DPWM 调制器。本文采用 FPGA 对该 DPWM 调制器进行实现，系统时钟为 40.96 MHz，载波(锯齿波)频率为 160 kHz，载波(锯齿波)的计数峰值为 $2^8 - 1 = 255$ ，待调制信号的采样率为 160 kHz。将噪声整形模块输出的 8 bit 信号与载波(锯齿波)相比较，就得到所需的 DPWM 信号。

3 实验数据分析

3.1 调制器性能对比分析

将上面设计的 1.5 bit SDM 调制器和 DPWM 调制器进行性能分析，分别画出两种调制器输出信号

的波形和频谱。图 6 为 1.5bit SDM 输出波形，图 7 为 SDM 输出波形的频谱，带内信噪比达到 80dB。图 8 为 DPWM 输出波形，图 9 为 DPWM 输出波形的频谱。图 6 和图 8 所示的信号都可作为 D 类功放的驱动信号。对比图 7 和图 9 可知，DPWM 输出信号的频谱除了基频外，还存在大量谐波分量；1.5bit SDM 输出信号的频谱不存在谐波分量，只是把带内噪声搬移到高频段，使噪声分布在较宽的频带内，减小了 EMI。由此可见，1.5bit SDM 在 EMI 方面比 DPWM 更优。

3.2 不同调制器下功放性能对比分析

为了对比分析不同调制器对 D 类功放性能的影响，设计搭建了主动声呐 D 类功放平台，其组成框图如图 10 所示，由电源、数字调制器、D 类功放以及匹配滤波网络构成。功放平台的工作流程为：数字调制器输出信号驱动全桥 D 类功放，功放输出通过匹配滤波网络接模拟负载，负载两端输出即放大后的模拟信号。

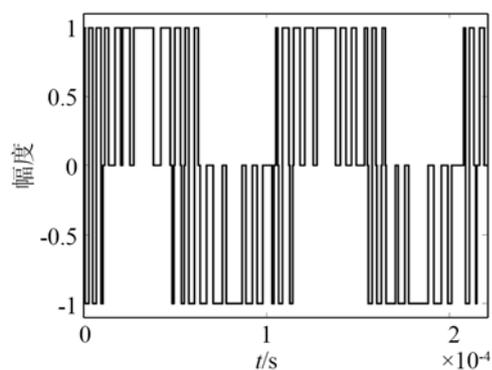


图 6 1.5bit SDM 输出波形
Fig.6 1.5bit SDM output waveform

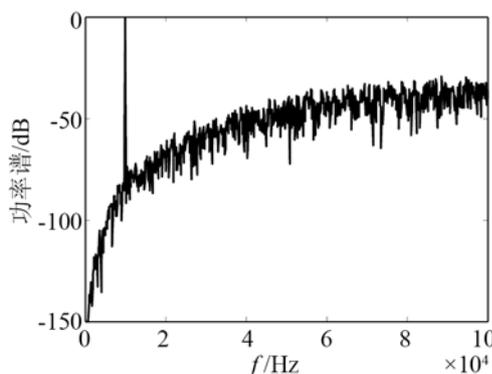


图 7 1.5bit SDM 输出波形的频谱
Fig.7 Spectrum of 1.5bit SDM output waveform

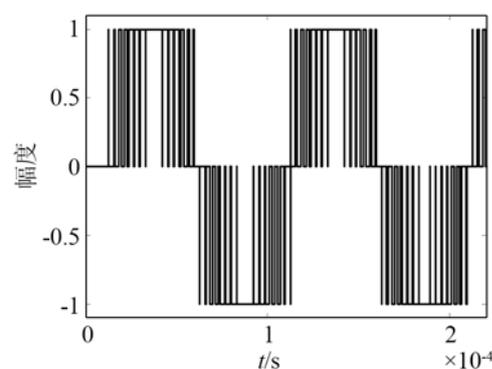


图 8 DPWM 输出波形
Fig.8 DPWM output waveform

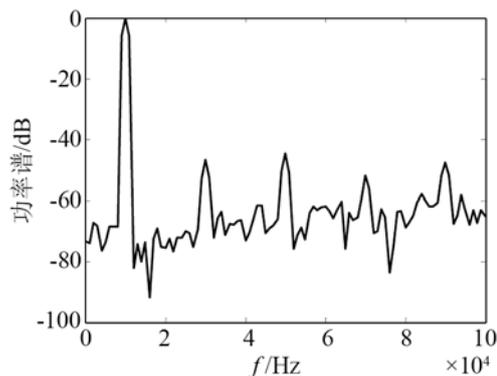


图 9 DPWM 输出波形的频谱
Fig.9 Spectrum of DPWM output waveform

影响，设计搭建了主动声呐 D 类功放平台，其组成框图如图 10 所示，由电源、数字调制器、D 类功放以及匹配滤波网络构成。功放平台的工作流程为：数字调制器输出信号驱动全桥 D 类功放，功放输出通过匹配滤波网络接模拟负载，负载两端输出即放大后的模拟信号。

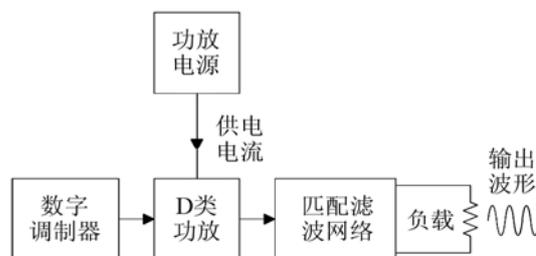


图 10 D 类功放在主动声呐中的应用示例
Fig.10 Application example in active sonar of class D power amplifier

实验中输入 10kHz 单频信号给数字调制器，并且保证两种调制方式下功放供电电流相等以及负载两端输出波形的幅度相同，即系统输出信号的有效值为 964 V，输出功率为 330 W，实验结果如图 11~14 所示。

图 11 和图 12 分别给出了 1.5bit SDM 和 DPWM 调制器输出信号经功率放大、匹配滤波后在负载上得到的正弦信号频谱。对比可知，DPWM 功放系统的输出信号存在大量的谐波分量，并且谐波能量也要高于 SDM 功放系统，说明 SDM 功放系统输出信号的品质要高于 DPWM 功放系统。

图 13 和图 14 分别给出了 1.5bit SDM 和 DPWM 调制器下功放供电电流的频谱。可以看到，两者都存在相同的直流分量。DPWM 功放系统中供电电流的频谱在信号频率点处还含有很强的谐波分量，该谐波分量频率较低，电源滤波器较难滤除，易产生传导干扰；此外在开关频率处、开关频率的倍频处也存在很强的谐波分量，该分量将导致严重的 EMI，降低系统的性能，因此在工程应用中必须采取一系列抗干扰措施，这将增加系统的复杂度。

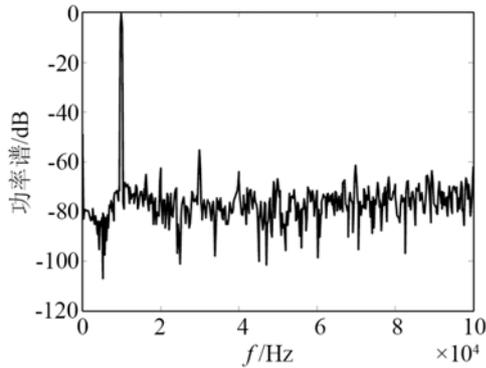


图 11 1.5bit SDM 调制器下功放输出波形的频谱

Fig.11 Spectrum of output waveform of power amplifier with 1.5 bit SDM

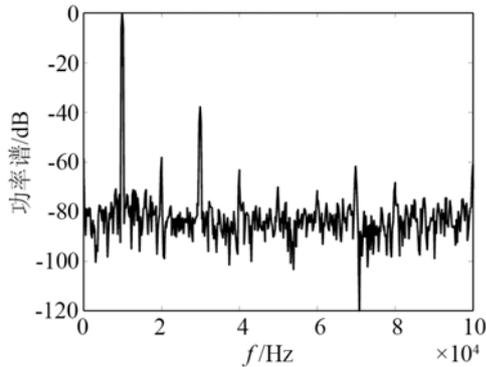


图 12 DPWM 调制器下功放输出波形的频谱

Fig.12 Spectrum of output waveform of power amplifier form with DPWM

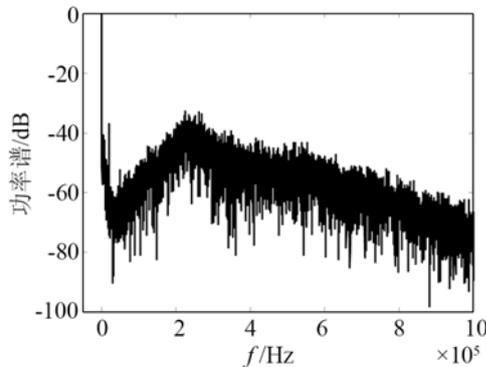


图 13 1.5bit SDM 调制器下功放供电电流的频谱

Fig.13 Spectrum of supply current of power amplifier with 1.5 bit SDM

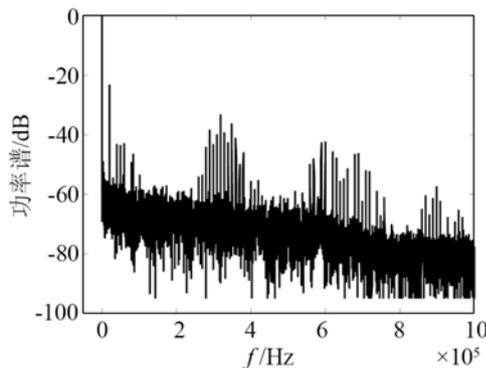


图 14 DPWM 调制器下功放供电电流的频谱

Fig.14 Spectrum of supply current of power amplifier with DPWM

SDM 系统中供电电流的频谱在信号频率点处的谐波分量较少且谐波能量较低,同时不存在 DPWM 功放系统中开关频率点处的各次谐波分量,噪声在高频处具有能谱扩展的效果,使噪声平均分散在整个高频域,减小了 EMI,提高了系统的抗干扰能力。

4 结 论

本文针对 DPWM 调制器存在的不足,对常规 SDM 调制器进行了改进,设计了一种新的 1.5bit SDM 调制器,并给出具体的设计步骤。实验结果表明该 1.5bit SDM 调制器较 DPWM 调制器具有较小的失真度和较低的 EMI,提高了系统的可靠性。此外 SDM 系统由于高采样率导致的高开关频率也得到相应的改善。综上所述,1.5bit SDM 技术适合主动声呐 D 类功放的应用。

参 考 文 献

- [1] 田坦. 声呐技术(第二版)[M]. 哈尔滨: 哈尔滨工程大学出版社, 2000.
TIAN Tan. Sonar technology(Second Edition)[M]. Harbin: Harbin Engineering University Press, 2000.
- [2] Mellor P H, Leigh S P, Cheetham B M G. Reduction of spectral distortion in class D amplifiers by an enhanced pulse width modulation process[J]. IEEE Proceedings G, 1991, 138(4): 441-448.
- [3] Josep Balcells, Alfonso Santolaria, Antonio Orlandi, et al. EMI reduction in switched power converters using frequency modulation techniques[J]. IEEE Transactions On Electromagnetic Compatibility, 2005, 47(3): 569-576.
- [4] Jean-Charles Le Bunetel, David Gonzalez, Josep Balcell. Impact of periodic switching frequency modulation control to reduce conducted EMI in Power Factor Converters[J]. IEEE Industrial Electronics, 2006, 4(6): 2541-2545.
- [5] Hiroshi Sadamura, Takayuki Daimon, Takayuki Shindo, et al. Spread-spectrum clocking in switching regulators to reduce EMI[C]// Asia-Pacific Conference, 2002, 141-144.
- [6] Aziz P M, Sorensen H V, Der Spiegel J V. An overview of Sigma-Delta converters[J]. IEEE Signal Processing Magazine, 1996, 13(1): 61-84.
- [7] Erwin Janssen, Arthur van Roermund. Look-Ahead based Sigma-Delta modulation[M]. Springer Press, 2011.
- [8] YIN G M. High-performance analog-to-digital Converters using cascaded $\Sigma\Delta$ modulators[D]. Katholieke University Leuven, 1994.
- [9] Karsten Nielsen. Audio power amplifier techniques with energy efficient power conversion[D]. Technical University of Denmark, 1998.