

doi: 10.3969/j.issn.1006-1576.2011.02.022

基于 Nios II 的红外焦平面图像处理系统

董海¹, 朱斌¹, 陈代中¹, 郭立新¹, 乐静², 罗冠泰¹

(1. 西南技术物理研究所, 成都 610041; 2. 中国兵器工业第 58 研究所, 四川 绵阳 621000)

摘要: 针对数字信号处理 (Digital Signal Processing, DSP)+现场可编程门阵列 (Field Programmable Gate Array, FPGA) 硬件架构存在硬件电路设计复杂、成本高等缺点, 设计一套基于 FPGA 内嵌 Nios II 软核的红外图像处理系统。系统包含 Nios II 主控模块、A/D 转换模块和红外图像预处理模块, 实现了盲元补偿、两点多段校正、中值滤波和灰度变换等功能。验证结果表明, 该系统具有体积小、成本低、开发周期短、实时性强等优点。

关键词: Nios II; FPGA; 红外焦平面阵列; 图像处理

中图分类号: TP751 **文献标志码:** A

Image Processing System of IRFPA Based on Nios II

Dong Hai¹, Zhu Bin¹, Chen Daizhong¹, Guo Lixin¹, Le Jing², Luo Guantai¹

(1. Southwest Institute of Technical Physics, Chengdu 610041, China;

2. No. 58 Research Institute of China Ordnance Industries, Mianyang 621000, China)

Abstract: According to the flaws of complicated circuit and high cost in DSP+FPGA structure, an infrared image processing system implemented in Nios II embedded in FPGA is designed. The system includes Nios II processor, A/D conversion and infrared image processing, and achieves the functions of blind pixel compensation, multi-point temperature correction, median filtering and gray transformation. The result shows that the system is small in bulk, low in cost, short in exploitation cycle and with strong real-time performance.

Keywords: Nios II; FPGA; IRFPA; image processing

0 引言

目前, 红外焦平面图像处理系统多采用 DSP+FPGA 的架构^[1], 其中, 数字信号处理 (Digital Signal Processing, DSP) 负责实现图像处理算法, 而现场可编程门阵列 (Field Programmable Gate Array, FPGA) 主要实现各种接口电路和时序的控制, 但由于基于总线分时复用的 DSP 和 FPGA 需要频繁转换对系统的控制权, 会降低整个系统的数据传输效率, 增加系统时钟控制逻辑的复杂度。随着大规模集成电路设计技术的进步、制造工艺水平的提高以及单个芯片上的逻辑门数的增加, FPGA 的功能和处理能力越来越强, 通过 Altera 公司 Quartus II 软件中的 SOPC Builder 工具可以将 Nios II 软核处理器、存储器和外设接口等系统需要的功能模块集成到一起, 通过 FPGA 设计就可完成整个系统的逻辑功能的设计, 故通过 FPGA 内嵌 Nios II 软核处理器构成整个红外焦平面图像处理系统。

1 系统总体方案

图 1 为红外焦平面图像处理系统, 系统要实现的功能是接收红外焦平面产生的模拟信号, 经 A/D 转换后送入 FPGA, 在 FPGA 中完成盲元补偿、非均匀校正和中值滤波后, 分成 2 路: 一路输出 CamLink 数字视频信号, 该路信号主要用于调试;

另一路经灰度变换后输出模拟视频信号。考虑到系统还要实现校正参数的定标、改变探测器的积分时间、分区保存和读取 FLASH 中存储的校正参数等功能, 故在 FPGA 中内嵌了 Nios II 软核处理器, 上位机通过 UART 与 FPGA 进行通信, 切换系统的工作模式, 改变系统的工作状态。

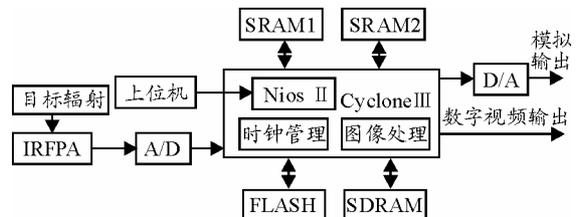


图 1 红外焦平面图像处理系统

系统用到的存储器有 SRAM、SDRAM 和 FLASH, 因采用了多点法的非均匀校正方法, 故选用 2 片 SRAM 分别存储校正增益和校正偏移量, FPGA 通过流水线的方法实现探测器信号的实时校正。FLASH 用来存储校正参数和盲元表, 上电后, 在 Nios II 的控制下将参数加载到 SRAM 中。SDRAM 用于校正参数定标时, 存储 64 帧图像, 求 64 帧图像的平均值, 提高校正参数计算的精度。

2 系统各模块的设计与实现

系统主要包括 4 部分: Nios II 主控模块、A/D 转换模块、红外图像预处理模块和红外图像后处理

收稿日期: 2010-09-28; 修回日期: 2010-11-16

作者简介: 董海 (1985—), 男, 山东人, 硕士研究生, 从事红外图像信号处理研究。

模块，其中预处理模块包括红外图像的盲元补偿和非均匀校正，主处理模块包括中值滤波和灰度变换。

2.1 Nios II 主控模块的设计

Nios II 是 Altera 公司推出的第 2 代用于可编程逻辑器件的可配置的软核处理器，是一种面向用户的、可以灵活定制的 RISC 32 位嵌入式 CPU，具有灵活的设计方法，可裁剪、可扩充、可升级，并具备软硬件系统可编程的功能^[2]。

根据系统需求，使用 Quartus II 中的 SOPC Builder 工具对 Nios II CPU 进行定制并添加相应的外围设备。图 2 为生成的 Nios II 系统结构图，其中，CPU 选用 Nios II /s Processor，SRAM 和 CONTROL 模块为自定义的用户接口模块。CONTROL 模块是系统的主控模块，具体工作原理是：上位机通过串口向 Nios II 发送命令，Nios II 产生中断，接收串口命令，通过 switch 结构语句执行相应的命令。例如，读取 FLASH 中的某组校正参数，程序执行 IOWR 语句，将该组校正参数在 FLASH 中存储的首地址在 FLASHaddress 模块中输出，主程序根据该地址就可以读取该组校正参数。

Use	Connec...	Module Name	Description	Clock	Base	End	IRQ
☑		cpu	Nios II Processor	clk			
		instruction_master	Avalon Master				
		data_master	Avalon Master				
		flag_debug_module	Avalon Slave		0x06003000	0x060037ff	
☑		flag_uart	JTAG UART	clk	0x06004040	0x06004047	
		avalon_flag_slave	Avalon Slave				
☑		onchip_mem	On-Chip Memory (RAM or ROM)	clk	0x06001000	0x06001fff	
		s1	Avalon Slave				
☑		sdram	SDRAM Controller	clk	0x05000000	0x05000fff	
		s1	Avalon Slave				
☑		epcs_controller	EPSC Serial Flash Controller	clk	0x06003000	0x06003fff	
		epcs_control_port	Avalon Slave				
☑		tristate_bridge	Avalon-MM Tristate Bridge	clk			
		avalon_slave	Avalon Slave				
		tristate_master	Avalon Tristate Master				
☑		uart	UART (RS-232 Serial Port)	clk	0x06004000	0x0600401f	
		s1	Avalon Slave				
☑		SRAM1	SRAM	clk	0x06004040	0x06004040	
		avalon_slave_0	Avalon Slave				
☑		SRAM2	SRAM	clk	0x06004045	0x06004049	
		avalon_slave_0	Avalon Slave				
☑		fl_flash	Flash Memory (CFI)	clk	0x02000000	0x03ffffff	
		s1	Avalon Tristate Slave				
☑		CONTROL	CTR	clk	0x00000000	0xffffffff	
		avalon_slave	Avalon Slave				
☑		datavalid	PIO (Parallel I/O)	clk	0x06004020	0x0600402f	
		s1	Avalon Slave				
☑		FLASHaddress	PIO (Parallel I/O)	clk	0x06004030	0x0600403f	
		s1	Avalon Slave				

图 2 Nios II 系统结构图

2.2 A/D 转换模块

系统前端焦平面采用法国 Sofradir 公司生产的 320×256 制冷型探测器，该探测器有 2 种输出模式：一路输出和四路输出。为提高探测器的输出效率，设置探测器工作在四路输出模式。A/D 芯片选用的是 AD 公司的 AD9248，由于 1 片 AD9248 包含 2 路 A/D 转换，因此需要 2 片，其转换精度为 14 位。FPGA 控制 A/D 转换的时序，四路模拟输出同时经 A/D 转换后送到 FPGA 中，在 FPGA 中经过四倍频后依次处理。

2.3 红外图像预处理模块

红外焦平面阵列探测器由于各探测像元响应的

不一致，会导致图像中存在固定图案噪声，产生非均匀性，因此需进行非均匀性校正^[3]。系统采用的两点多段校正方法，相比两点法，提高了校正的温度动态范围。相应的校正参数的定标只需求出校正增益和校正偏移量即可。盲元补偿采用了相邻元替代法，就是用盲元周围的正常像元对场景的响应值代替盲元的响应值。为了做到高速处理，不增加硬件成本，不采用存储器将一帧图像存储后进行校正，而是在采集图像序列的过程中，用盲元左边像元的响应值对盲元直接进行替代。图 3 为相邻元替代法的 FPGA 实现结构图。其中，盲元表是事先通过实验得到的，存储的是按从左到右、从上到下的顺序的盲元的位置。具体工作原理是：每来一个数据，都与盲元表当前地址中的盲元位置进行比较，若不相等，则进行非均匀校正；若相等，盲元表地址加 1，同时对寄存在寄存器中的前一个数据进行校正。对每行的第一个数据，若是盲元，则用上一行的第一个数据代替，这部分在图中没有画出。

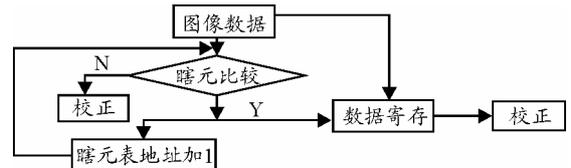


图 3 相邻元替代法

2.4 中值滤波算法及 FPGA 硬件实现

红外图像经过非均匀校正后，虽然图像的质量有了明显改善，但仍然会存在部分椒盐噪声，因此有必要再进行滤波、平滑等处理。中值滤波算法是一种很好的非线性滤波方法，与其他滤波算法（如均值滤波）相比，不仅能有效地消除椒盐噪声，并且能较好地保留图像的边缘信息，不会使图像变得过于模糊。中值滤波算法虽然处理数据量大，但其在运算过程中不需要图像的统计，也不需要寄存大量的中间数据，且运算简单、重复性强，因此非常适合于映射到 FPGA 架构中由硬件实现^[4]。

中值滤波算法的思想就是对模板窗口的灰度值进行排序，然后选择中间值作为窗口中间点的灰度，排序算法的好坏会直接影响到滤波的执行速度。该系统采用 3×3 模板，因此设计了 2 个 FIFO 和 3 个寄存器组生成模板，数据以流水线的方式依次进入，图 4 为模板生成模块的结构图。

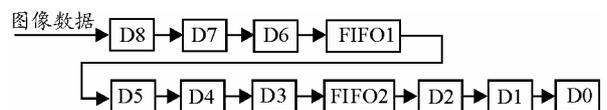


图 4 模板生成模块结构图

对于排序算法,考虑到当窗口中的 9 个灰度值大小各不相同,中间值肯定大于其中的 4 个数,当 9 个灰度值中存在相等的情况,排序问题就会比较复杂。例如:当其中有 2 个灰度值相等时,中间值可能大于其中的 4 个数,也可能是 3 个数;当其中有 3 个灰度值相等时,中间值可能大于其中的 4 个数,或者 3 个数或者 2 个数;依此类推。通过上述分析,设计如下排序算法:图 5 为排序算法的原理图,其中 > 模块用于比较输入值大于其余 8 个值的个数,= 模块用于比较输入值与其余 8 个值相等的个数,判别准则通过判断每个灰度值经过上述 2 个模块后的输出结果得到 VALUE 的值,若 VALUE = 1,说明该值为中值,Verilog 实现代码如下:

```
VALUEn=(same_sum==0)?((number_sum==4)?1'b1:1'b0):
(same_sum==1)?(((number_sum==3)||((number_sum==4)
)?1'b1:1'b0):
(same_sum==2)?(((number_sum==2)||((number_sum==3)
|(number_sum==4)))?1'b1:1'b0):
(same_sum==3)?(((number_sum==1)||((number_sum==2)
|(number_sum==3)||((number_sum==4)))?1'b1:1'b0);
```

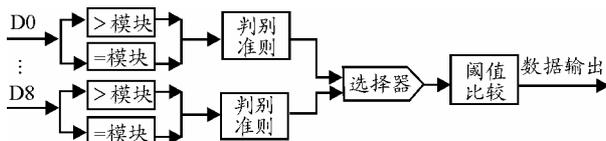


图 5 排序算法原理图

图 5 中的阈值比较模块将输出的中值与中间值进行比较,若大于阈值,则认为中间值为盲元,中间点数据用中值代替;若小于阈值,则认为中间数据为有效数据,保留中间点数据,这样进一步保持了图像的细节,其中,阈值 T 的选择针对不同的图像,根据经验或者实验进行选取。可以看出,整个滤波过程只需 2 个时钟周期就可完成,且不会随着模板的变化而变化。

2.5 灰度变换算法

前端 A/D 转换的精度为 14 位,经过校正、滤波等处理后仍为 14 位。由于采用的视频 DAC 芯片为 AD 公司的 AD7123,输入为 10 位,因此需要进行灰度转换,转换公式为:

$$H(x,y) = \frac{h(x,y) - \min}{\max - \min} \times 1024 \quad (1)$$

其中, max 为中值滤波后 14 位图像灰度数据的最大值, min 为 14 位图像灰度数据的最小值。经过转换后,图像灰度数据就分布在 0~1023 之间,可以在监视器上正常地显示。在 max 和 min 的求取过程中,借鉴了 2D-TDI 的思想,对多帧图像最值求平均,

从而进一步减少了噪声的影响。

3 系统调试及实验结果

考虑到系统要实现的功能较多,时序较复杂,因此采用 Quartus II 中的 Signal Tap II Logic Analyzer 进行整个系统的调试,避免了 TestBench 的设计,减少了代码的编写量,同时该系统还设计了一路 CamLink 视频格式输出。调试时,通过 CamLink 电缆将 FPGA 处理板和 PC 机图像采集卡连接,利用 CamExpert 软件可以非常直观地观看每一帧图像及每个位置的像素值,从而进一步加快了系统地调试。

图 6(a) 为未经过任何处理后的原始图像,可以看出:目标受 IRFPA 固定图案噪声的影响严重,目标细节被掩盖;图 6(b) 为经过盲元补偿、非均匀校正和中值滤波后的图像,图像的对比度得到增强,很多细节也显现出来,图像变得更加清晰。



(a) 原始图像

(b) 处理后图像

图 6 处理前后的图像效果对比

4 结束语

该系统改变了传统的 DSP+FPGA 应用模式,减小了系统的体积和功耗,大大缩短了系统的开发周期。随着 FPGA 的不断发展,Altera 推出了越来越多的 DSP 模块,如 FIR 滤波器模块以及 DSP Builder 工具等,可以更方便地构成各种数字信号处理器。下一步,将在该系统中实现更为复杂的算法,例如基于场景的非均匀校正和更为复杂的后处理算法。

参考文献:

- [1] 赵广州,张天序,王新赛,等.基于 DSP 和 FPGA 的模块化实时图像处理系统设计[J].华中科技大学学报,2002,32(10):4-6.
- [2] Altera Corporation. Nios II Processor Reference Handbook[R]. October 2005.
- [3] 童鹏,胡以华.基于 Nios II 的高速实时非均匀性校正[J].激光与红外,2007,37(9):895-897.
- [4] 李飞飞,刘伟宁,王艳华.改进的中值滤波算法及其 FPGA 快速实现[J].计算机工程,2009,35(14):175-177.
- [5] YAN F B, SHAO X H, LI G, et al. Edge Detection of Tank Level IR Imaging Based on the Auto-Adaptive Double Threshold Canny Operator[J]. 2nd International Symposium on Intelligent Information Technology Application, 2008, 366-370.