

DOI:10.19659/j.issn.1008-5300.2019.04.014

一种混合集成电路共晶焊接用石墨夹具的设计*

余定展, 黄海燕, 张夏一, 赵五洲, 刘祖冲, 罗 尧
(航天天绘科技有限公司四川分公司, 四川 成都 610101)

摘要:在某贯军标混合集成电路产品研制过程中,陶瓷基片共晶焊接的焊透率直接影响产品的噪声系数、增益等重要特性指标。文中设计了多组均匀分布、独立配重的倒扣式一体石墨组件,可实现共晶焊接载体限位。倒置时多组重针悬空,不施压;正置时多组重针自动下垂,对基片等均匀配重施压,最终完成一致性共晶焊接。采用该设计方法研制的石墨夹具能有效解决基片等偏移和空洞率高的问题,保证了电路单元的接地性能,突破了该贯军标混合集成电路产品的批量研制技术瓶颈,提高了批量成品的质量一致性水平。焊透率检测及重要指标测试结果验证了该方法的可行性和有效性。

关键词:混合集成电路;共晶焊接;焊透率;石墨夹具

中图分类号: TG75 文献标识码: A 文章编号: 1008-5300(2019)04-0057-04

Design Method of a Graphite Fixture for Eutectic Sintering of Hybrid Integrated Circuit

YU Ding-zhan, HUANG Hai-yan, ZHANG Xia-yi, ZHAO Wu-zhou, LIU Zu-chong, LUO Yao
(Sichuan Department, Tianhui Technology Co., Ltd., Chengdu 610101, China)

Abstract: In the process of developing a national military standard hybrid integrated circuit product, the eutectic sintering penetration rate of the ceramic substrate directly affects the important parameters such as the noise figure and gain of the product. In this paper multiple sets of evenly-integrated, independently weighted and invertedly-locked integrated graphite fixtures are designed, with which the eutectic sintered carrier limit can be realized. When inverted, the multiple sets of heavy needles hang in the air, not pressed; when placed normally, the multiple sets of heavy needles hang down automatically and the sheet is evenly weighted and pressed. The uniform eutectic sintering is finally completed. The graphite fixture developed by this design method can effectively solve the problem of high offset and void ratio of the substrate. As a result, the grounding performance of the circuit unit is ensured, the batch development technology bottleneck of the national military standard hybrid integrated circuit product is broken through and meanwhile the quality consistency level of batch products is improved. The test results of penetration rate and important indicators verify the feasibility and effectiveness of this design method.

Key words: hybrid integrated circuit; eutectic sintering; penetration rate; graphite fixture

引 言

共晶焊接用石墨夹具的设计应用是混合集成电路(含多芯片组件)研制过程中重要的研究方向之一^[1-2]。它广泛应用于混合集成电路贯彻国军标生产线建设

(GJB 2438B)中批量产品的研制过程,对实现混合集成电路成品的静态及动态特性指标一致性尤为重要。

传统混合集成电路研制采用的在管壳内正向拼装薄膜基片、厚膜基片^[3]及载板等多种载体的方式存在诸多问题:

* 收稿日期:2019-06-04

1) 无法对多种载体或电路单元(薄膜基片、厚膜基片、载板、焊料片等)进行有效限位;

2) 配重不可控而导致载体焊透率低,继而导致电路基片接地不良、产品质量一致性差、噪声系数及增益等关键指标在电老炼及稳态寿命实验前后变化量极限超差等问题,无法满足混合集成电路产品贯彻国军标高可靠性的技术要求。

本文通过分析共晶焊接工艺中焊透率的影响因素,设计了一种混合集成电路专用共晶焊接用石墨夹具,实现了混合集成电路单元的高焊透率烧结,有效提高了电路单元的接地性能,突破了某贯军标混合集成电路产品批量研制的技术瓶颈,提高了成品的质量一致性水平。

1 焊透率影响因素分析研究

混合集成电路中的陶瓷基片通常是用薄膜或厚膜工艺在陶瓷片上制作电路形成的,基片的焊接是微波混合集成电路集成的重要工艺环节,其焊透率直接影响电路模块的接地效果和产品的电性能,而提高焊透率是满足微波混合集成电路及毫米波电路的电、热性能参数的基本要求。

在混合集成电路研制过程中,影响基片等载体与管壳之间焊透率的主要因素如下:

- 1) 具备真空环境^[5],可提高 15% ~ 25% 的焊透率;
- 2) 合理的挥发气体逃逸通道,可提高 5% ~ 10% 的焊透率;
- 3) 适宜的时间-温度共晶焊接曲线,可提高 5% ~ 15% 的焊透率;
- 4) 合适的锡膏用量,可提高 5% ~ 10% 的焊透率;
- 5) 有效限位及均匀配重,可提高 10% ~ 25% 的焊透率;
- 6) 较好的焊料润湿性,可提高 5% ~ 15% 的焊透率。

在对该核心技术进行攻关前,承制单位的共晶焊接工艺能力涵盖真空环境^[6]、挥发气体溢出通道、适宜的时间-温度共晶焊接曲线、锡膏用量等技术条件,基片等载体的焊透率工艺水平仅能支撑较小产能的试制、生产,贯彻国军标产品大批量的 QCI 质量一致性水平、QML 试验性能等有待通过提升工艺技术水平得以突破。在焊料润湿性方面,焊膏性能优于传统焊料片,但金锡焊膏成本较高,不适宜产品的批量研制;在有效限位及配重均匀性方面,因混合集成电路管壳内部电路单元(薄膜基片、厚膜基片等)与管壳内腔壁间隙小,若采用传统的正向装配方式,考虑限位及配重等

多方面因素,则正向装配用石墨夹具双面深腔薄壁加工难度大,无法对基片等进行有效限位;载体、薄膜基片与厚膜基片厚度不同,同时多处配重分散、易错位导致配重不均匀、不可控。故载体及电路基片是否有效限位及其配重是否均匀已成为决定该类混合集成电路研制过程中焊透率高低的关键影响因素。

2 倒扣式一体化石墨夹具设计

2.1 技术难点及解决途径

石墨夹具用于下变频器(混合集成电路)基片的共晶焊接的难度在于:共晶焊接载体包含多种规格的薄膜基片、厚膜基片、载板等,且载体边缘距离腔体侧壁较近(仅 0.4 mm,如图 1 所示),若石墨框架采用开槽设计,则边缘太窄,加工难度大,成品率低,批产可重复使用率低;产品内需烧结的载体有 8 处,且多种载体厚度不一致,配重设计难度大,故该处技术难点为关键问题突破口。

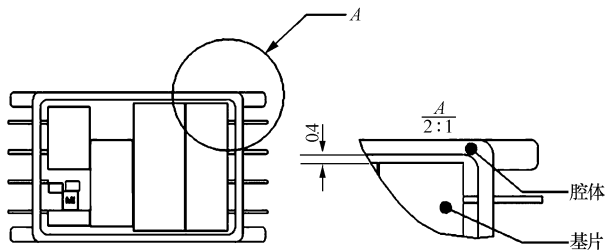


图1 基片边缘与腔体壁距离示意图

解决办法是:

- 1) 采用限位框倒扣式设计方式,打破传统的在产品内部正向拼摆载体的繁冗方式,针对多处载体位置在石墨夹具背面设计独立凹槽,通过石墨背面厚度来增加石墨强度,降低加工难度;
- 2) 多处载体采用独立配重设计,且对重针进行分组和一体化设计,确保各载体均独立配重受压。

2.2 总体设计

石墨夹具主要由限位框、重针、底座、盖板、定位销等组成。为实现产品微组装即烧结过程中定位限位和配重,提高产品烧结一致性和生产效率,设计了一体化石墨夹具。石墨夹具设计达到产品烧结焊透率 $\geq 82\%$ 的目标后,才能确保产品工艺集成的一致性水平。图2和图3分别为一体化石墨夹具倒置装配时及正置共晶焊接时的状态。

共晶焊接用石墨夹具包括倒扣式配重一体化石墨组件、石墨独立限位框、多组重针、石墨底座、石墨盖板和石墨定位销。一体化石墨夹具的使用方法为:

1)采用先倒扣不施压、再正置自动施压的设计方法,使石墨独立限位框与多组重针组成重针径向可活动的倒扣式配重一体化石墨组件;

2)将倒扣式一体化石墨组件倒置即多组重针悬空不施压,再将薄膜基片、厚膜基片和载板按石墨独立限位框上的对应限位槽反面放置;

3)将预成型的共晶焊料片沿着石墨独立限位框限位槽放置于薄膜基片、厚膜基片及载板之上,再将微波混合集成电路管壳反向倒扣于组合体之上,实现倒扣装配;

4)将管壳正面放置于石墨底座上,多组重针自动下垂对薄膜基片、厚膜基片和载板配重及其底部焊料片均匀施压;

5)通过石墨底座和混合集成电路管壳底部传热,在真空环境下实现高焊透率共晶焊接^[7]。

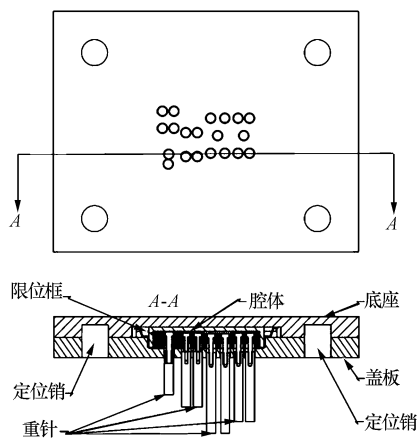


图2 石墨夹具倒置示意图

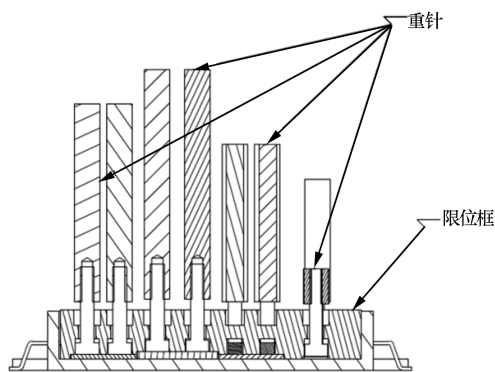


图3 正置焊接时石墨夹具重针部分状态示意图

2.3 限位框设计

限位框的功能是将重针装配在限位框上,对重针起定位限位作用,同时承载基片和焊料片,对基片和焊料片起定位限位作用。如图4所示,限位框由限位槽和重针定位孔2部分组成。

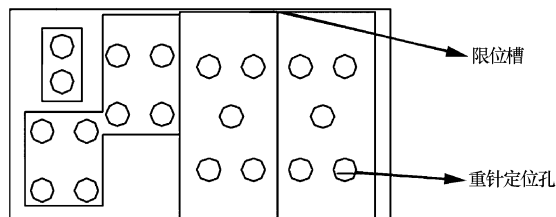


图4 限位框示意图

限位槽为下铣凹槽设计,是放置白瓷片、基片和焊料片的位置,由下往上依次放入白瓷片、基片和焊料片(基片放置需注意倒扣时的方向),对其起定位限位作用,防止错位。重针定位孔为上下台阶通孔设计,重针穿过定位孔,固定住重针后对重针起定位限位作用。

2.4 重针设计

重针的功能是对基片共晶焊接时施加配重作用,良好的配重可以有效提高基片烧结的焊透率。同时,重针固定在限位框后,穿过上盖板的重针定位孔,起连接限位框和上盖板的作用。如图5所示,重针为螺钉结构,分为A、B两部分。重针B部分的细端头穿过限位框的重针定位孔,与A部分螺装配合,固定在限位框上,组成组合1。

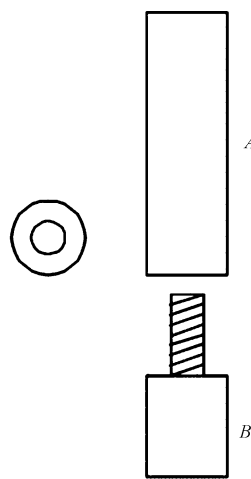


图5 重针设计爆炸图

重针与限位框上的定位孔为间隙配合,且重针对同一芯片的不同方位同时施重,均匀施压,通过预设好的共晶焊接加热时间,使焊料均匀布满焊接面。由于在放置基片前会预先在基片与重针之间放置滤纸,而且重针在下压基片的过程中与周围石墨壁的摩擦将减缓重针下落时对基片的冲击,因此基片表面不会被磨损或划伤。针对不同规格基片、载板等的特性,需设计不同重量的重针组(如图6所示),以满足最终烧结焊透率要求。

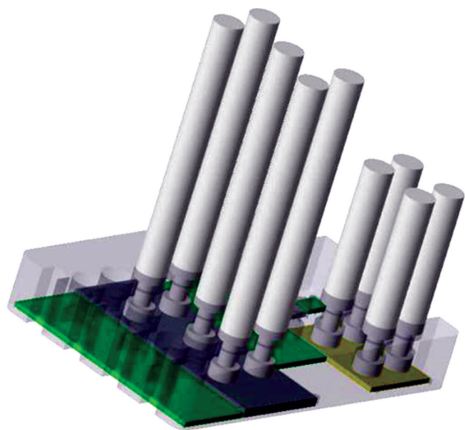


图 6 多种重针设计状态及不同分组重针轴侧示意图

3 设计验证结果

3.1 烧结焊透率分析

根据项目技术攻关目标中具体量化的焊透率指标要求,对装配好的混合集成电路产品即小型化变频模块进行了焊透率检测,焊接载体布局如图 7 所示。攻关前烧结焊透率 $\geq 75\%$,采用新工艺后,最差焊透率为 90.10% (见表 1),显著高于指标要求的 82%,满足指标要求,从而验证了该项新工艺的有效性^[8]。

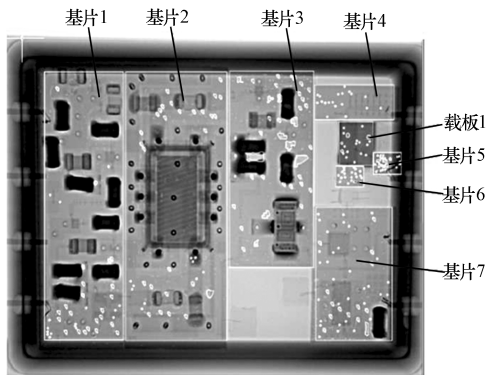


图 7 焊接载体布局图

表 1 焊透率统计计算表

载体名称	烧结区域 面积/mm ²	焊透区域 面积/mm ²	焊透率/%
基片 1	12.202 6	12.083 6	99.02
基片 2	15.706 6	15.553 1	99.02
基片 3	9.802 9	9.420 8	96.10
基片 4	1.612 8	1.592 0	98.71
基片 5	0.380 9	0.343 2	90.10
基片 6	0.348 4	0.324 4	93.11
基片 7	5.928 9	5.813 7	98.06
载板 1	0.885 4	0.851 2	96.14

3.2 重要特性指标分析

该混合集成电路的电性能指标中的噪声系数和增

益为重要特性。要求增益 ≥ 46 dB (全温);噪声系数 ≤ 1.2 dB (常温),噪声系数 ≤ 1.7 dB (高温、低温)。混合集成电路内的电路组成单元包括薄膜基片、厚膜基片等,这 2 种基片为双面布局:上表面为带线等电路走线布局,整个下表面为接地面,中间有贯穿接地孔,基片接地面与腔体之间的焊透率直接影响基片的接地性能。如果焊透率不达标,基片和腔体之间空洞太多或者空洞过大,都会影响到该混合集成电路的指标。例如若空洞出现在该电路放大芯片的下方,则会因为腔体与基片的热阻加大影响放大器热量的传导,长期工作下来,就会出现放大器芯片增益下降、噪声变大、寿命减少等问题,严重影响电路的稳定性。

该设计方法依托某贯军标混合集成电路产品的研发。目前该倒扣式配重一体化石墨夹具已经运用在混合集成电路产品内部薄膜基片、厚膜基片及载板中,根据该方式前后共晶烧结了 200 只混合集成电路产品,表 1 和表 2 所示的集成混合电路是所述批次性能指标最差的情况。

表 2 指标实现情况 dB

指标名称	指标要求	攻关前实际指标	攻关后实际指标
噪声系数(常温)	≤ 1.2	≤ 1.2	≤ 1.1
噪声系数(高温)	≤ 1.7	≤ 1.7	≤ 1.5
噪声系数(低温)	≤ 1.7	≤ 1.7	≤ 1.5
增益(常温)	≥ 46.0	≥ 46.0	≥ 50.0
增益(高温)	≥ 46.0	≥ 46.0	≥ 47.2
增益(低温)	≥ 46.0	≥ 46.0	≥ 50.0

4 结束语

本文创造性地设计了倒扣式石墨配重一体化夹具,在混合集成电路批量研制中,采用一体化夹具先倒扣不施压、再正置自动施压的配重装载方法,解决了多种载体或电路单元(薄膜基片、厚膜基片、载板、焊料片等)焊透率低的问题,提升了电路单元的接地性能及质量一致性水平,确保全部批量产品关键指标均满足任务要求,并通过了混合集成电路贯彻国军标生产线建设鉴定。研究打破了传统的在混合集成电路内腔正向拼装薄膜基片、厚膜基片及载板的方式,有效解决了某贯军标混合集成电路产品批量研制技术瓶颈问题。所述设计及应用方法经过适应性修改,对同类混合集成电路产品贯彻国军标项目的关键研制具有重要的指导意义和应用价值。后续将针对论文所述影响基片等载体与管壳之间焊透率的挥发气体逃逸通道等 6

(下转第 64 页)

最终完成的喇叭阵天线实物如图7所示。实物性能测试结果表明,该天线满足设计要求。

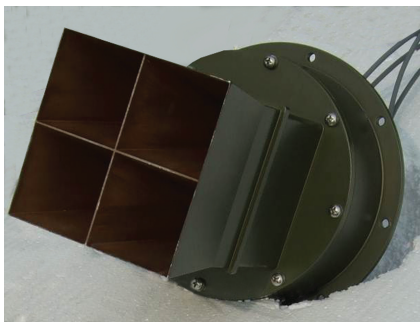


图7 喇叭阵天线实物照片

3 结束语

本文针对某四元喇叭阵天线中八面倒锥喇叭这个制造难题,在分析常用制造工艺优缺点的基础上,极富创意性地提出了用线切割来加工八面倒锥喇叭,解决了如何编程和如何取出切割余料这两大技术问题。在短时间内加工出了满足需求的合格产品。

线切割加工八面倒锥喇叭的编程原理广泛应用于可实现的矩圆过渡波导内腔、脊喇叭内腔线切割编程,采用线切割技术能成功快速地加工出高精度、高性能、高可靠的天线产品。

(上接第60页)

个因素进行深入分析、系统研究,并持续优化工艺参数,完善设计,为军用宇航级和高可靠军用混合集成电路的研制提供技术支持和重要保障。

参考文献

- [1] 杨宗亮, 奉绪群. 混合集成电路组装中的共晶焊技术[J]. 电子测试, 2016(15): 56-57.
- [2] 中央军委装备发展部. GJB 2438B—2017 混合集成电路通用规范[S]. 北京: 国家军用标准出版发行部, 2017: 37-38.
- [3] 吴志华, 王自力, 王生旺, 等. 混合电路形式的 Ku 波段低噪声放大器的设计[J]. 微波学报, 2017, 33(4): 70-73.
- [4] 侯一雪, 乔海灵, 廖智利. 混合电路基板与外壳的共晶焊技术[J]. 电子与封装, 2007(8): 9-10, 20.

参考文献

- [1] 刘治甬, 叶波涛. 电子战比幅测向系统宽频带天线单元分析[J]. 舰船电子对抗, 2013, 36(4): 92-94.
- [2] 师阿元. 高增益超宽带双脊喇叭天线[D]. 西安: 西安电子科技大学, 2017.
- [3] 信美华, 肖宪东. 喇叭天线设计与应用[J]. 信息通信, 2013, 125(3): 24-26.
- [4] 常志, 靳志强, 张峰, 等. 电铸铜的应用研究[J]. 山西电子技术, 2015(3): 84-85.
- [5] 周明智, 朱春临, 陈奇海, 等. 精密熔模铸造技术在雷达产品中的应用[J]. 电子机械工程, 2013, 29(4): 46-48.
- [6] 王建昌, 安庆升, 叶周军, 等. 碳纤维复合材料卫星天线的研制[J]. 纤维复合材料, 2007, 18(1): 18-20.
- [7] 孙国清, 韦生文, 潘华府. 大型喇叭状碳纤维天线成型工艺研究[J]. 装备制造技术, 2012(12): 171-173.
- [8] 张登材, 张义萍, 黄福清, 等. 碳纤维复合材料在星载天线结构中的应用[J]. 电子机械工程, 2018, 34(3): 52-55.

张义萍(1971—),女,工程师,主要从事天线类产品工艺设计与研究工作。

- [5] 巫建华. 薄膜基板芯片共晶焊接技术研究[J]. 电子与封装, 2012, 12(6): 4-8.
- [6] 霍灼琴, 杨凯骏. 真空环境下的共晶焊接[J]. 电子与封装, 2010, 10(11): 11-14.
- [7] 庞婷, 王辉. 真空共晶焊接技术研究[J]. 电子工艺技术, 2017, 38(1): 8-11.
- [8] 田富君, 张红旗, 周红桥, 等. 军用电子装备三维工艺设计标准体系研究[J]. 电子机械工程, 2017, 33(1): 52-56.

余定展(1986—),男,硕士,工程师,主要从事宇航型号产品总体设计、机械结构设计、空间微重力环境下的人机功效学及多体动力学仿真分析研究、型号外场动态参数测试分析研究、混合集成电路集成理论与工程技术研究、微波产品批产技术研究等工作。